

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-166727

(43)Date of publication of application : 22.06.2001

(51)Int.Cl. G09G 3/20  
G02F 1/133  
G09G 3/36

(21)Application number : 11-362976

(71)Applicant : SHARP CORP

(22)Date of filing : 21.12.1999

(72)Inventor : ORISAKA YUKIHISA  
OGAWA YOSHINORI

(30)Priority

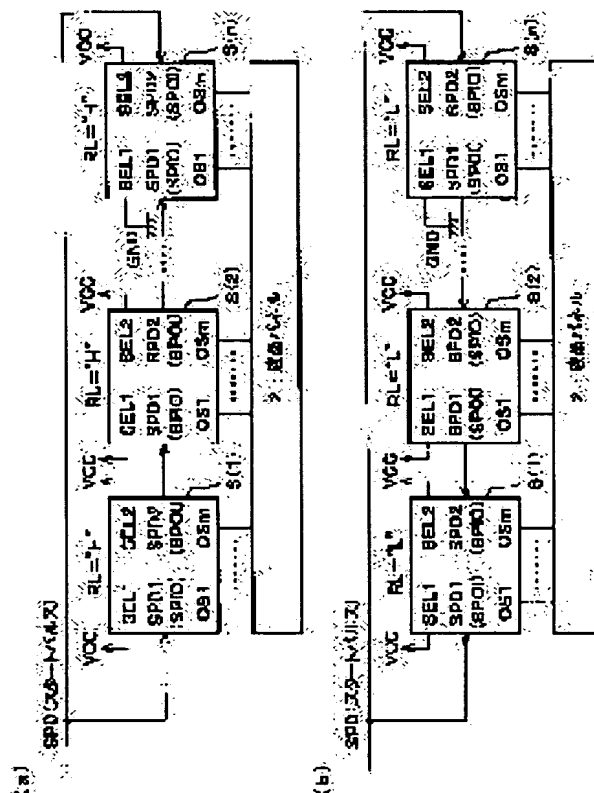
Priority number : 11279685 Priority date : 30.09.1999 Priority country : JP

## (54) DRIVING DEVICE FOR DISPLAY AND LIQUID CRYSTAL MODULE USING THE DEVICE

(57)Abstract:

**PROBLEM TO BE SOLVED:** To make a liquid crystal module small in size and thinner and to reduce costs by realizing the reducing of wirings between a controller and semiconductor elements for drive and the simplifying of constitution of the controller and the miniaturizing of the controller and the like.

**SOLUTION:** In a source driver S group consisting of source drivers S1 to Sn, the input - output terminal SPD1 of the start pulse signal (SPD) of the source driver S1 and the input - output terminal SPD2 of the SPD of the source driver Sn are both connected and the SPD is supplied to both terminals. Then, respective source drivers S from the source driver of a first stage in an SPD propagating direction till the immediately preceding source driver of the source driver of the final stage are made to be in states in which they can propagate the SPD by controlling operating state of the output buffer circuit of the input - output buffer provided in the input - output terminals SPD1, SPD2 of each source driver S while making the potential level from a power source VCC and a GND to be setting signals SEL1, SEL2 and, on the other hand, the outputting of the SPD is prevented by making the output terminal of the source driver S of the final stage to be in a high impedance state.



## LEGAL STATUS

[Date of request for examination]

18.01.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

**\* NOTICES \***

**JPO and NCIP are not responsible for any damages caused by the use of this translation.**

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1] Cascade connection of two or more semiconductor devices for actuation equipped with a bidirectional shift register is carried out, and it sets to the driving gear for a display which can switch the propagation direction of a start pulse signal. The number of the supply lines of the start pulse signal supplied from the exterior is one. The supply line of the start pulse signal of this one book branches to two lines, and is connected to the input terminal of the start pulse signal of the semiconductor device for actuation of the ends in the semiconductor device group for actuation by which cascade connection was carried out, respectively. The driving gear for a display characterized by flowing through one side of two start pulse signals inside the semiconductor device group for actuation, and supposing un-flowing another side.

[Claim 2] Have a semiconductor device for actuation equipped with a bidirectional shift register alone, and it is set to the driving gear for a display which can switch the propagation direction of a start pulse signal. The number of the supply lines of the start pulse signal supplied from the exterior is one. The supply line of the start pulse signal of this one book branches to two lines, and is connected to the input terminal of the start pulse signal of the above-mentioned semiconductor device both sides for actuation, respectively. The driving gear for a display characterized by flowing through one side of two start pulse signals inside the above-mentioned semiconductor device for actuation, and supposing un-flowing another side.

[Claim 3] Cascade connection of two or more semiconductor devices for actuation equipped with the bidirectional shift register is carried out. To the input terminal and output terminal of a start pulse signal of each semiconductor device for actuation The input output buffer which can switch I/O is prepared by the change-over signal given from the exterior, and it sets to the driving gear for a display which can switch the propagation direction of a start pulse signal. The input terminal of the start pulse signal of the semiconductor device for actuation which serves as the first rank to the propagation direction of the above-mentioned data signal, While both the output terminals of the start pulse signal of the semiconductor device for actuation which serves as the last stage to the propagation direction are connected and a start pulse signal is supplied to an ends child The driving gear for a display characterized by preventing the signal output from the output terminal of the start pulse signal in the above-mentioned semiconductor device for actuation used as the last stage.

[Claim 4] The driving gear for a display according to claim 3 characterized by for the output-buffer circuit of the above-mentioned input output buffer established in the output terminal of the start pulse signal of the above-mentioned semiconductor device for actuation used as the last stage setting this output terminal as a hi-z state, and preventing a signal output.

[Claim 5] The driving gear for a display according to claim 4 characterized by controlling the signal level of a power-source line for the operating state of the output-buffer circuit of the above-mentioned input output buffer as a setpoint signal.

[Claim 6] It has the semiconductor device for actuation equipped with the bidirectional shift register alone. To the input terminal and output terminal of a start pulse signal of this semiconductor device for

actuation The input output buffer which can switch I/O is prepared by the change-over signal given from the exterior, and it sets to the driving gear for a display which can switch the propagation direction of a start pulse signal. While the ends child for I/O of the start pulse signal of the above-mentioned semiconductor device for actuation is connected and a start pulse signal is supplied to these ends child The driving gear for a display characterized by preventing the signal output from the above-mentioned input output buffer prepared in the terminal which serves as an output side of a start pulse signal in the propagation direction of the above-mentioned data.

[Claim 7] Cascade connection of two or more semiconductor devices for actuation equipped with a bidirectional shift register is carried out, and it sets to the driving gear for a display which can switch the propagation direction of a start pulse signal. While two the input terminals and output terminals for start pulse signals are prepared in each semiconductor device for actuation The driving gear for a display characterized by branching and connecting the supply line of one start pulse signal supplied from the exterior to each input terminal for the start pulse signals of the semiconductor device for actuation of the ends in the semiconductor device group for these actuation by which cascade connection was carried out at two lines.

[Claim 8] The driving gear for a display characterized by to branch and connect to each input terminal for the start pulse signals of this semiconductor device for actuation the supply line of one start pulse signal supplied from the exterior at two lines while having a semiconductor device for actuation equipped with a bidirectional shift register alone and preparing two the input terminals and the output terminals for start pulse signals in the semiconductor device for actuation in the driving gear for a display which can switch the propagation direction of a start pulse signal.

[Claim 9] The driving gear for a display given in claim 1 characterized by setting up the propagation direction of a start pulse signal according to the propagation direction of a data signal thru/or any 1 term of 8.

[Claim 10] The liquid crystal module characterized by equipping claim 1 thru/or any 1 term of 9 with the driving gear for a display of a publication.

---

[Translation done.]

**\* NOTICES \***

**JPO and NCIP are not responsible for any damages caused by the use of this translation.**

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the topology and signal supply gestalt of a liquid crystal driver which start the driving gear which drives the display device of an image, especially are carried in a liquid crystal module as a source driver and a gate driver.

[0002]

[Description of the Prior Art] The system configuration of the driving gear for a display in the conventional liquid crystal module is explained using drawing 14 .

[0003] source driver LSI (Large Scale Integrated Circuit) equipped with a bidirectional shift register on a liquid crystal panel 100 as a driving gear which bears actuation of the source bus line in a liquid crystal panel 100 as shown in drawing 14 from -- becoming n source driver S-- (a source driver S group may be called) is mounted in the condition of having been carried on TCP (Tape Carrier Package) 101, respectively. In supply of the start pulse signal SPD mentioned later and Clock CK etc., cascade connection of these source driver S-- is carried out.

[0004] While each TCP101 which carried each source driver S is electrically connected with the input terminal (un-illustrating) with which the output terminal to the liquid crystal panel 100 was prepared on the liquid crystal panel 100, the input terminal is connected to wiring and the electric target which were formed on the printed circuit board 102, and, thereby, the liquid crystal panel 100 and the printed circuit board 102 are electrically connected through the source driver S group.

[0005] The controller 104 is connected to the source driver S (1) side in a printed circuit board 102. This controller 104 supplies a control signal and a power source to a source driver S group, and a control signal and a power source are supplied to each source driver S through wiring on a printed circuit board 102, and wiring on each TCP101. In addition, although not illustrated especially here, a controller 104 supplies a control signal and a power source similarly to a gate driver group.

[0006] There are the change-over signal RL which switches a bidirectional shift register, an input output buffer, etc. in the Horizontal Synchronizing signal of a video signal, the start pulse signal SPD which took the synchronization, clock signal CK and a video signal Video, and each source driver S as the control signal supplied from a controller 104 and a power source, and determines the propagation direction of the start pulse signal SPD within the source driver S, power sources Vcc and GND, etc.

[0007] With the configuration of drawing 14, clock signal CK, the video signal Video, the switch signal RL, and power sources Vcc and GND which are supplied from a controller 104 are inputted into 1st source driver S (1) through wiring on a printed circuit board 102 and TCP101 from an input terminal CK 1, an input terminal Video1, an input terminal RL1, a power supply terminal Vcc, and a power supply terminal GND. And internal wiring which consists of an aluminium wire in this source driver S (1) etc. is spread, and it is outputted after that from the output terminal CK 2 of source driver S (1), an output terminal Video2, an output terminal RL2, a power supply terminal Vcc, and a power supply terminal GND, and inputs into source driver [ of the next step ] S (2) like the above.

[0008] In addition, the supply line of these signals supplied from a controller 104 can be arranged as a highway with wiring on a printed circuit board 102, and can also be considered as the configuration which makes it input into each source driver S separately.

[0009] On the other hand, as shown in drawing, two of the line which goes into the 1st input/output terminal SPD 1 of source driver S (1) about the start pulse signal SPD, and the line included in the n-th input/output terminal SPD 2 of source driver S (n) are prepared, and it has the composition of making any one line choosing and inputting. The propagation direction of the start pulse signal SPD in a source driver S group will switch to source driver S(1) → source driver S (n) or source driver S(n) → source driver S (1) by whether the line which inputs the start pulse signal SPD is made into an input/output terminal SPD 1 side, or it turns on an input/output terminal SPD 2 side. Selection of the line which inputs such a start pulse signal SPD is performed by the controller 104.

[0010] The change-over switch SW1 which consists of an analog switch by which a switch is controlled, and SW2 are formed in the start pulse output stage in a controller 104 with the control signal SPA (/SPA is the reversal signal of SPA), and selection of the line which outputs the start pulse signal SPD is attained by this switch SW1 and switch control of SW2.

[0011] When you input into an input/output terminal SPD 1, let a control signal SPA be "High" level. When a control signal SPA is "High" level, the change-over switch SW1 by the side of SPD1 will flow, and the change-over switch SW2 by the side of SPD2 of another side will be in non-switch-on. When you input into an input/output terminal SPD 2 reversely, let a control signal SPA be "Low" level. When a control signal SPA is "Low" level, the change-over switch SW1 by the side of SPD1 will be in non-

switch-on, and the change-over switch SW2 by the side of SPD2 of another side will flow.

[0012] When a control signal SPA is made into "High" level, from the input/output terminal SPD 1 of source driver S (1) the start pulse signal SPD A synchronization is taken to clock signal CK and it is inputted into it, and the bidirectional shift register in the source driver S (1) is spread, it inputs into source driver [ of the next step ] S (2), source driver S-- by which cascade connection was carried out similarly is spread hereafter, and it is spread in the source driver S of the last stage (n). Although the start pulse signal SPD is outputted from the input/output terminal SPD 2 of source driver [ of the last stage ] S (n) at this time, since it is in the condition which chose the input to SPD1 and the change-over switch SW2 of a controller 104 does not flow, the start pulse signal SPD does not spread in a controller 104.

[0013] Moreover, with the above, conversely, the start pulse signal SPD is inputted into this input/output terminal SPD 2 by making n-th source driver S (n) into the first rank, and a control signal SPA is spread in the 1st "Low" source driver S used as the last stage (1), when it considers as level. At this time, although the start pulse signal SPD is outputted from the input/output terminal SPD 1 of source driver S (1) used as the last stage, since it is in the condition which chose the input to SPD2 and the change-over switch SW1 of a controller 104 does not flow, it is not spread in a controller 104.

Moreover, the change-over signal RL which determines the propagation direction of the start pulse signal SPD within each source driver S in this case is also set as the level of reverse with the point.

[0014] Next, the system configuration shown in above-mentioned drawing 14 is further explained to a detail using the block diagram of drawing 15 (a) and (b). In drawing 15 (a) and (b), OS1-OSm are the output terminals of liquid crystal panel 100 HE from each source driver S.

[0015] In drawing 15 (a), the change-over switch SW1 in a controller 104 and the control signal SPA of SW2 are "High" level, and the change-over switch SW1 by the side of SPD1 has flowed through them. In this condition, the start pulse signal SPD is inputted from the input/output terminal SPD 1 of source driver S (1), is outputted from an input/output terminal SPD 2, is inputted into the input/output terminal SPD 1 of source driver [ of the next step ] S (2), and is spread like the following.

[0016] This drawing (a) sets a change-over switch SW1, and the control signal SPA and the change-over signal RL of SW2 as reverse level, and this drawing (b) makes reverse the propagation direction of the start pulse signal SPD. That is, in this drawing (b), the start pulse signal SPD is inputted from the n-th input/output terminal SPD 2 of source driver S (n), is outputted from an input/output terminal SPD 1, is inputted into the source driver S of the next step (n-1), and is spread to 1st source driver S (1) like the following.

[0017] Moreover, wiring on TCP101 and wiring on a printed circuit board 102 (are minded) for the line connected with the input/output terminal SPD 1 of source driver S (n). [ drawing 16 (a) and ] The example linked to the direct controller 104 is shown (above-mentioned drawing 15 (a) and (b) have connected to the direct controller 104 the line connected with the input/output terminal SPD 2 of source driver S (n) through wiring on TCP101, and wiring on a printed circuit board 102). Furthermore, the block diagram of the liquid crystal module corresponding to drawing 16 is shown in drawing 17.

[0018] By enabling a switch of the propagation direction of the start pulse signal SPD by using the shift register within such response S, i.e., each source driver, as a bidirectional shift register, also in the configuration carried in a liquid crystal panel 100 upside by the source driver S of the same configuration, since it can respond also to the configuration carried in the liquid crystal panel 100 bottom, the cost of the source driver S which is a semiconductor device for actuation can be reduced.

[0019] And the helicopter loading site of the controller 104 which outputs a start pulse signal Also when it has arranged on the left-hand side of a source driver S group, it has arranged on the right-hand side of a source driver S group or it thinks as a liquid crystal module, by enabling a switch of the propagation direction of a start pulse signal For example, also in the source driver S group which could respond also on the right-hand side of the source driver S group carried in the liquid crystal panel 100 upside, or left-hand side, and was carried in the liquid crystal panel 100 bottom, it can respond also on the right-hand

side or left-hand side, and the ease of the design to the miniaturization of a liquid crystal module and thin-shape-izing increases.

[0020] Moreover, as shown in drawing 14 and drawing 17, in the configuration which mounts source driver S-- in any of a liquid crystal panel 100 upside and the bottom, appropriation of the same printed circuit board 102 is attained.

[0021]

[Problem(s) to be Solved by the Invention] However, the request of the further miniaturization of a liquid crystal module, thin-shape-izing, and low-cost-izing is strong, and the measure from the whole module is taken as a response to these in recent years. For this reason, not the examination only by the side of the old source driver S and a gate driver but the examination including a controller 104 is needed.

[0022] Then, the applicant for this patent found out that the room of an improvement was in the point shown below, as a result of examining wholeheartedly the improving point in the configuration of the conventional liquid crystal module in order to respond to the above-mentioned request.

[0023] Namely, with the above-mentioned conventional configuration, in order to enable a switch of the propagation direction of the start pulse signal SPD by the bidirectional shift register in the source driver S For a controller 104, the connection line to the input/output terminal SPD 1 (or the input/output terminal SPD 2) of source driver [ of the first rank ] S (1), Wiring of a total of two with the connection line to the n-th input/output terminal SPD 2 (or the input/output terminal SPD 1) of source driver S (n) is given. Therefore, the number of wiring between a controller 104 and a source driver S group increases, and the miniaturization is prevented inevitably.

[0024] Moreover, it corresponds by forming the change-over switch SW1 which consists of an analog switch which presupposes a flow or un-flowing selection of the input place of the start pulse signal SPD with a control signal SPA to the controller 104 interior, and SW2. Therefore, since a signal is respectively outputted to an input/output terminal SPD 1 and input/output terminal SPD 2 side through a change-over switch SW1 and SW2 while complicating the configuration by the side of a controller 104, the number of terminals by the side of [ LSI ] a controller 104 increases. Consequently, the further miniaturization of a controller 104 and low cost-ization are prevented.

[0025] In addition, although the source driver S group was illustrated here, it cannot be overemphasized that there is same problem also in the gate driver group which drives the gate bus line of an indicating equipment.

[0026] This invention is made in view of the above-mentioned technical problem, and the object is in offering the driving gear for a display in which the cutback of the means of the change-over switch which the interior of a controller, and the cutback of wiring semiconductor device between groups [ for actuation ] and a controller described above and the cutback of the terminals by the side of [ LSI ] a controller accompanying this are possible.

[0027]

[Means for Solving the Problem] In the 1st driving gear for a display of this invention, in order to solve the above-mentioned technical problem Cascade connection of two or more semiconductor devices for actuation equipped with a bidirectional shift register is carried out, and it sets to the driving gear for a display which can switch the propagation direction of a start pulse signal. The number of the supply lines of the start pulse signal supplied from the exterior is one. The supply line of the start pulse signal of this one book branches to two lines, and is connected to the input terminal of the start pulse signal of the semiconductor device for actuation of the ends in the semiconductor device group for actuation by which cascade connection was carried out, respectively. It flows through one side of two start pulse signals inside the semiconductor device group for actuation, and is characterized by supposing un-flowing another side.

[0028] According to this, make the supply line of the start pulse signal from the outside into one, this is made to input into the input terminal of the start pulse signal of the semiconductor device for actuation of the ends in the semiconductor device group for actuation by which cascade connection was carried

out to two lines by branching, and it is made to flow through which start pulse signal inside the semiconductor device group for actuation.

[0029] Therefore, the means of an analog switch etc. is formed in the controller side which inputs a control signal etc. into the semiconductor device group for actuation like before, and the driving gear for a display which can switch the propagation direction of a start pulse signal can be realized, without performing switch actuation which is changed into the condition of a flow and not flowing.

[0030] By and the thing for which the propagation direction of a start pulse signal is set up according to the propagation direction of a data signal As mentioned above, loading to both a liquid crystal panel upside and the down side is attained in the semiconductor device for actuation of the same configuration. Furthermore, also when it can install in both the right-hand side of the semiconductor device for actuation carried in the liquid crystal panel upside, and left-hand side and the semiconductor device for actuation is carried in the liquid crystal panel bottom, the same is said of the helicopter loading site of the controller which outputs a start pulse signal. Consequently, since it can respond to each arrangement by one kind of semiconductor device for actuation, the cost of the semiconductor device for actuation can be reduced.

[0031] And since the number of terminals of the semiconductor device with which a number [ by the side of a controller ] of circuits and controller side is conventionally equipped in this case in the configuration which can switch the propagation direction of a start pulse signal is reduced and it can realize, further miniaturization of a liquid crystal module and low cost-ization can be attained by using such a driving gear for a display.

[0032] And since wiring between a controller and the semiconductor device group for actuation can be managed with one line, compared with the conventional configuration to which wiring of two was given, the circuit pattern formed into the \*\* pitch for the miniaturization is opened as well as the ability to attain the miniaturization of a liquid crystal module, and the effect by the noise can also be reduced. Furthermore, that wiring from a controller can be managed with one does not have wiring modification by the arrangement relation between a controller and the semiconductor device group for actuation, either, and it also has the advantage of making a modular design easy.

[0033] In the 2nd driving gear for a display of this invention, in order to solve the above-mentioned technical problem Have a semiconductor device for actuation equipped with a bidirectional shift register alone, and it is set to the driving gear for a display which can switch the propagation direction of a start pulse signal. The number of the supply lines of the start pulse signal supplied from the exterior is one. It branches to two lines, and connects with the input terminal of the start pulse signal of the above-mentioned semiconductor device both sides for actuation, respectively, and the supply line of the start pulse signal of this one book flows through one side of two start pulse signals inside the above-mentioned semiconductor device for actuation, and is characterized by supposing un-flowing another side.

[0034] Although this is the driving gear for a display of the one-piece usage who has a semiconductor device for actuation alone, it is 1-izing [ the supply line of such a start pulse signal ] also in this case, and does so the same operation and effectiveness as the 1st driving gear for a display equipped with two or more previous semiconductor devices for actuation.

[0035] In the 3rd driving gear for a display of this invention, in order to solve the above-mentioned technical problem Cascade connection of two or more semiconductor devices for actuation equipped with the bidirectional shift register is carried out. To the input terminal and output terminal of a start pulse signal of each semiconductor device for actuation The input output buffer which can switch I/O is prepared by the change-over signal given from the exterior, and it sets to the driving gear for a display which can switch the propagation direction of a start pulse signal. The input terminal of the start pulse signal of the semiconductor device for actuation which serves as the first rank to the propagation direction of the above-mentioned data signal, While both the output terminals of the start pulse signal of the semiconductor device for actuation which serves as the last stage to the propagation direction are



connected and a start pulse signal is supplied to an ends child It is characterized by preventing the signal output from the output terminal of the start pulse signal in the above-mentioned semiconductor device for actuation used as the last stage.

[0036] According to this, both the input terminal of the start pulse signal of the semiconductor device for actuation which serves as the first rank to the propagation direction of a data signal, and the output terminal of the start pulse signal of the semiconductor device for actuation used as the last stage are connected, and the start pulse signal is supplied to these ends child. In this case, only by connecting the input terminal of the start pulse signal of the semiconductor device for actuation of the first rank, and the output terminal of the start pulse signal of the semiconductor device for actuation of the last stage, although the collision of start pulse signals takes place, since the signal output from the above-mentioned input output buffer prepared in the output terminal of the start pulse signal of the semiconductor device for actuation of the last stage is prevented, there is such no problem here.

[0037] the 1st above-mentioned driving gear for a display by this -- the same -- the operation and effectiveness by 1-izing [ the supply line of a start pulse signal ] are done so.

[0038] By the way, although cutting for example, this output line on the way can also respond, inhibition of the signal output from the output terminal of the start pulse signal of the semiconductor device for actuation used as the last stage With in that case, the arrangement location of the case where the propagation direction of a start pulse signal is changed, and the controller to a source driver-group (semiconductor device group for actuation) It is necessary to change a TCP pattern etc. and is accompanied by the nonconformity of checking the factor of a cost rise, and the ease of a design of a liquid crystal module.

[0039] Then, it is desirable that the output-buffer circuit of an input output buffer established in this output terminal adopts the configuration which sets this output terminal as a hi-z state as a configuration which prevents the signal output from the output terminal of the start pulse signal of the semiconductor device for actuation used as the last stage. According to this, it excels in the point that the operating state of an output-buffer circuit is indicated below as a result of being able to respond within the semiconductor device for actuation, using supply voltage as a setpoint signal of the logic gate established in the output-buffer circuit.

[0040] First of all, a hi-z state can be easily made only by adding the circuit corresponding to a setpoint signal to an old input output buffer. It is small, and can realize easily and the increment in the number of circuit elements in this case does not become buildup of a chip area. Moreover, since it can respond only by modification of a TCP pattern, the same semiconductor device for actuation is [ that what is necessary is just to use one kind ] realizable by low cost. Moreover, it can switch easily only by inputting power-source (VCC, GND) level, and can realize with an easy configuration. Furthermore, implementation is simply possible at an internal circuitry, and since the external circuit is unnecessary, it is excellent in reduction-ization of dependability and a manufacturing cost.

[0041] In order that the 4th driving gear for a display of this invention may solve the above-mentioned technical problem, it has the semiconductor device for actuation equipped with the bidirectional shift register alone. To the input terminal and output terminal of a start pulse signal of this semiconductor device for actuation The input output buffer which can switch I/O is prepared by the change-over signal given from the exterior, and it sets to the driving gear for a display which can switch the propagation direction of a start pulse signal. While the ends child for I/O of the start pulse signal of the above-mentioned semiconductor device for actuation is connected and a start pulse signal is supplied to these ends child It is characterized by preventing the signal output from the above-mentioned input output buffer prepared in the terminal which serves as an output side of a start pulse signal in the propagation direction of the above-mentioned data.

[0042] Although this is the driving gear for a display of the one-piece usage who has a semiconductor device for actuation alone, it is considering as such a configuration also in this case, and does so the same operation and effectiveness as the 3rd above-mentioned driving gear for a display.

[0043] Cascade connection of two or more semiconductor devices for actuation equipped with a bidirectional shift register is carried out, and the 5th driving gear for a display of this invention is set to the driving gear for a display which can switch the propagation direction of a start pulse signal, in order to solve the above-mentioned technical problem. While two the input terminals and output terminals for start pulse signals are prepared in each semiconductor device for actuation It is characterized by branching and connecting the supply line of one start pulse signal supplied from the exterior to each input terminal for the start pulse signals of the semiconductor device for actuation of the ends in the semiconductor device group for these actuation by which cascade connection was carried out at two lines.

[0044] According to this, two the input terminals and output terminals of a start pulse signal are prepared in each semiconductor device for actuation, and the supply line of the start pulse signal which branched to two lines is connected to each input terminal of the start pulse signal of the semiconductor device for actuation of the ends in the semiconductor device group for these actuation by which cascade connection was carried out.

[0045] therefore, the 1st above-mentioned driving gear for a display -- the same -- the operation and effectiveness by 1-izing [ the supply line of a start pulse signal ] are done so.

[0046] And the need of controlling actuation of an input output buffer by not connecting the output terminal of the semiconductor device for actuation which is made flowing through either of the start pulse signals inputted from the both sides of the semiconductor device group for actuation with this configuration, and serves as the propagation direction last stage like the 3rd driving gear for a display is absolutely none. Consequently, the signal line for controlling actuation of an input output buffer etc. becomes unnecessary, and the design of TCP which carries each semiconductor device for actuation becomes easy.

[0047] Moreover, in order that the 6th driving gear for a display of this invention may solve the above-mentioned technical problem Have a semiconductor device for actuation equipped with a bidirectional shift register alone, and it is set to the driving gear for a display which can switch the propagation direction of a start pulse signal. While two the input terminals and output terminals for start pulse signals are prepared in the semiconductor device for actuation It is characterized by branching and connecting to each input terminal for the start pulse signals of this semiconductor device for actuation the supply line of one start pulse signal supplied from the exterior at two lines.

[0048] Although this is the driving gear for a display of the one-piece usage who has a semiconductor device for actuation alone, it is considering as such a configuration also in this case, and does so the same operation and effectiveness as the 5th above-mentioned driving gear for a display.

[0049]

[Embodiment of the Invention] [Gestalt 1 of operation] It will be as follows if the gestalt of operation of the driving gear for a display of this invention and the liquid crystal module using it is explained based on drawing 1 thru/or drawing 7 . In addition, although a source driver group is mentioned as an example as a driving gear for a display in the following explanation, it cannot be overemphasized that the focus of the liquid crystal module using the focus and it can be applied also to a gate driver group.

[0050] The system configuration of the driving gear for a display in the liquid crystal module of one gestalt of operation is shown in drawing 1 . As shown in drawing 1 , n source driver S-- (a source driver S group may be called hereafter) which consists of a source driver LSI equipped with a bidirectional shift register as a driving gear which bears actuation of a source bus line is mounted in the liquid crystal panel 2 in the condition of having been carried on TCP1, respectively.

[0051] Each source driver S is in the condition carried on TCP1, respectively, and cascade connection is carried out to the input/output terminal of various signals, such as the start pulse signal SPD supplied from the controller 4 which was connected to the printed circuit board 3, and which is mentioned later, and clock signal CK.

[0052] TCP1 which carried each source driver S is connected as electrically [ the output side ] as a

liquid crystal panel 2, and the input side is electrically connected with the printed circuit board 3. Thereby, a printed circuit board 3 and a liquid crystal panel 2 are electrically connected through a source driver S group.

[0053] Here, the electrical installation of a liquid crystal panel 2 and TCP1 is made by carrying out thermocompression bonding of the outer lead terminal of the output side of TCP1, and the terminal which becomes with ITO (Indium Tin Oxide : indium tin oxide film) wiring which was prepared on the glass substrate of a liquid crystal panel 2, and which is not illustrated through ACF (Anisotropic Conductive Film: anisotropy electric conduction film). Moreover, as for the electrical installation with the printed circuit board 3 of TCP1, the outer lead terminal of the input side of TCP1 and wiring on a printed circuit board 3 are electrically connected by ACF or soldering.

[0054] With the above-mentioned configuration, an exchange of the signal between each source driver S and an exchange of the signal between a source driver S group and a controller 4 will be performed through wiring on TCP1, and wiring on a printed circuit board 3.

[0055] A controller 4 is arranged at the source driver S (1) side [ of the source driver S group in a printed circuit board 3 ], or source driver S (n) side. By the liquid crystal module of drawing 1 , the controller 4 is arranged and a signal is supplied to the 1st source driver S (1) side from source driver S (1).

[0056] To a source driver S group, the above-mentioned controller 4 supplies a control-signal and a power source, and supplies the change-over signal RL which switches a bidirectional shift register, an input output buffer, etc. in the Horizontal Synchronizing signal of a video signal, the start pulse signal SPD which took the synchronization, clock signal CK and a video signal Video, and the source driver S, and determines the propagation direction of the start pulse signal SPD within the source driver S, power sources Vcc and GND, etc. In addition, although not illustrated especially here, a controller 4 supplies a control signal and a power source similarly to a gate driver group.

[0057] In drawing 1 , clock signal CK, the video signal Video, the change-over signal RL, and power sources Vcc and GND which are supplied from a controller 4 It lets wiring on a printed circuit board 3, and wiring on TCP1 pass. The input terminal CK 1 of source driver S (1), an input terminal Video1, an input terminal RL1, a power supply terminal Vcc, It is inputted from a power supply terminal GND, and internal wiring which consists of an aluminium wire in the source driver S (1) etc. is spread. It is outputted from the output terminal CK 2 of source driver S (1), an output terminal Video2, an output terminal RL2, a power supply terminal Vcc, and a power supply terminal GND, and inputs into source driver [ of the next step ] S (2) similarly. In addition, the configuration of it being allotted as a highway with wiring on a printed circuit board 3, and inputting into each source driver S separately is sufficient as these signal supply lines.

[0058] On the other hand, although it is the input of the start pulse signal SPD In the conventional liquid crystal module shown in above-mentioned drawing 14 As a line for supply of the start pulse signal SPD from a controller 104 It is the configuration that two lines of the line connected with the 1st input/output terminal SPD 1 of source driver S (1) and the line connected with the n-th input/output terminal SPD 2 of source driver S (n) were prepared. The sake, It had troubles mentioned above, such as complication of a controller 104.

[0059] By the liquid crystal module of drawing 1 , on the other hand, the input/output terminal SPD 1 of source driver S (1) The n-th input/output terminal SPD 2 of source driver S (n) is connected by both wiring on a printed circuit board 3 (wiring on each TCP1 may be combined with wiring on a printed circuit board 3, and may be used). The supply line of the start pulse signal SPD from a controller 4 is only one line which supplies a signal to this common line.

[0060] And the 2nd power supply terminal VCC1 and GND1 is formed in every [ each ] source driver S as a line which newly inputs the setpoint signal for controlling the operating state of the output-buffer circuit of an input output buffer mentioned later formed in the input/output terminal SPD 1 and input/output terminal SPD 2 in each source driver S.

[0061] The propagation direction of a start pulse signal is determined in inputting the potential level obtained from these 2nd power supply terminals VCC1 and GND1 into the setting-out terminal of the output-buffer circuit of an input output buffer established in each source driver S as a setpoint signal according to a direction [ a direction ] making it spread a video signal.

[0062] Although mentioned later for details, an output-buffer circuit is operated like the conventional output-buffer circuit, and only the buffer circuit of source driver S-- except the source driver S which serves as the last stage to the propagation direction established in the terminal of the output side of the start pulse signal SPD of the source driver S of the last stage is made into a hi-z state.

[0063] The SPD input output buffer B1 in one source driver S in the above-mentioned source driver S group prepared in the input/output terminal SPD 1 and the concrete circuitry of SPD input-output-buffer B-2 prepared at the input/output terminal SPD 2 are shown in drawing 2 . In addition, the source driver S is the same configuration altogether.

[0064] The SPD input output buffer B1 consists of an input-buffer circuit 10 which consists of an inverter 11, NAND gate 12, the NOR gate 13, p channel MOS FET14, and n channel MOS FET15, and an output-buffer circuit 20 which consists of an inverter 21, NAND gate 22, the NOR gate 23, p channel MOS FET24, and n channel MOS FET25.

[0065] In the input-buffer circuit 10, the input terminal of an inverter 11 is connected to an input/output terminal SPD 1, and the output terminal is connected to one input terminal of NAND gate 12 of 2 terminal input, and one input terminal of the NOR gate 13 of 2 terminal input.

[0066] The change-over signal RL is inputted into the input terminal of another side of NAND gate 12, and a change-over signal / RL (/RL is the reversal signal of RL) is inputted into the input terminal of another side of the NOR gate 13 by minding the inverter which is not illustrated.

[0067] The output terminal of NAND gate 12 is connected to the gate of p channel MOS FET14, and the output terminal of the NOR gate 13 is connected to the gate of n channel MOS FET15.

[0068] Moreover, it connects with a power supply terminal VCC, and the drain of p channel MOS FET14 is held at the potential VCC of "High" level, it connects with a power supply terminal GND, and the source of n channel MOS FET15 is held at the potential GND of "Low" level.

[0069] Furthermore, the source of p channel MOS FET14 is connected to the drain of n channel MOS FET15, and the node is connected to the latch circuit of the first rank of the bidirectional shift register circuit (propagation circuit) which is not illustrated.

[0070] In the output-buffer circuit 20, the input terminal of an inverter 21 is connected to the latch circuit of the first rank of the bidirectional shift register circuit of point \*\*, and the output terminal is connected to one input terminal of NAND gate 22 of four input terminals, and one input terminal of the NOR gate 23 of four input terminals.

[0071] A change-over signal / RL, a setpoint signal / SEL1 (/SEL1 is the reversal signal of SEL1), and a setpoint signal SEL2 are inputted into remaining three input terminals of NAND gate 22. The change-over signal RL, a setpoint signal SEL1, a setpoint signal / SEL2 (/SEL2 is the reversal signal of SEL2) is inputted into remaining three input terminals of the NOR gate 23.

[0072] The output terminal of NAND gate 22 is connected to the gate of p channel MOS FET24, and the output terminal of the NOR gate 23 is connected to the gate of n channel MOS FET25.

[0073] Moreover, it connects with a power supply terminal VCC, and the drain of p channel MOS FET24 is held at the potential VCC of "High" level, it connects with a power supply terminal GND, and the source of n channel MOS FET25 is held at the potential GND of "Low" level. Furthermore, the source of p channel MOS FET24 is connected to the drain of n channel MOS FET25, and the node is connected to the input/output terminal SPD 1.

[0074] Next, SPD input-output-buffer B-2 is expressed in the circuit by the side of drawing Nakamigi, and consists of an input-buffer circuit 30 which consists of an inverter 31, NAND gate 32, the NOR gate 33, p channel MOS FET34, and n channel MOS FET35, and an output-buffer circuit 40 which consists of an inverter 41, NAND gate 42, the NOR gate 43, p channel MOS FET44, and n channel MOS FET45.

[0075] In the input-buffer circuit 30, the input terminal of an inverter 31 is connected to an input/output terminal SPD 2, and the output terminal is connected to one input terminal of NAND gate 32, and one input terminal of the NOR gate 33. A change-over signal / RL is inputted into the input terminal of another side of NAND gate 32 by minding the inverter which is not illustrated, and the change-over signal RL is inputted into the input terminal of another side of the NOR gate 33.

[0076] The output terminal of NAND gate 32 is connected to the gate of p channel MOS FET34, and the output terminal of the NOR gate 33 is connected to the gate of n channel MOS FET35.

[0077] Moreover, it connects with a power supply terminal VCC, and the drain of p channel MOS FET34 is held at the potential VCC of "High" level, it connects with a power supply terminal GND, and the source of n channel MOS FET35 is held at the potential GND of "Low" level. Furthermore, the source of p channel MOS FET34 is connected to the drain of n channel MOS FET35, and the node is connected to the latch circuit of the last stage of the bidirectional shift register circuit mentioned above.

[0078] In the output-buffer circuit 40, the input terminal of an inverter 41 is connected to the latch circuit of the last stage of the bidirectional shift register circuit of point \*\*, and the output terminal is connected to one input terminal of the NOR gate 43 of 4 terminal input as well as one input terminal of NAND gate 42 of 4 terminal input.

[0079] The change-over signal RL, a setpoint signal SEL1, and a setpoint signal SEL2 are inputted into remaining three input terminals of NAND gate 42. A change-over signal / RL, a setpoint-signal / SEL1, and a setpoint signal / SEL2 is inputted into remaining three input terminals of the NOR gate 43.

[0080] The output terminal of NAND gate 42 is connected to the gate of p channel MOS FET44, and the output terminal of the NOR gate 43 is connected to the gate of n channel MOS FET45.

[0081] Moreover, it connects with a power supply terminal VCC, and the drain of p channel MOS FET44 is held at the potential VCC of "High" level, it connects with a power supply terminal GND, and the source of n channel MOS FET45 is held at the potential GND of "Low" level. Furthermore, the source of p channel MOS FET44 is connected to the drain of n channel MOS FET45, and the node is connected to the input/output terminal SPD 2.

[0082] With the above-mentioned configuration, when the change-over signal RL is "High" level, if "High" level goes into SPD1, n channel MOS FET15 of the input-buffer circuit 10 will be in ON condition, and, as for the SPD input output buffer B1, p channel MOS FET14 will be in a hi-z state. On the other hand, if "Low" level goes into SPD1, n channel MOS FET15 will be in a hi-z state, and p channel MOS FET14 will be in ON condition.

[0083] Since the change-over signal RL is "High" level in the output-buffer circuit 20 at this time, it is not concerned with the output of an inverter 21, and a setpoint signal SEL1 and the level of SEL2, but p channel MOS FET24 and n channel MOS FET25 will all be OFF, consequently will be in a hi-z state. Therefore, only the input-buffer circuit 10 operates and the SPD input output buffer B1 operates as a result and an input buffer.

[0084] On the other hand, in SPD input-output-buffer B-2, as for p channel MOS FET34 and n channel MOS FET34, the change-over signal RL will all be in a hi-z state with "High" level regardless of the signal level with which the input-buffer circuit 30 goes into the input terminal of an inverter 31.

[0085] If a bidirectional shift register is transmitted, the input terminal of an inverter 41 has the input of "Low" level, when "High" level goes into SPD1 in the output-buffer circuit 40 at this time, and "Low" level goes into SPD1, a bidirectional shift register will be transmitted and it will become the input terminal of an inverter 41 with the input of "High" level. Here, by the setpoint signal SEL1 included in NAND gate 42 and the NOR gate 43, and SEL2, either will be in ON condition, another side will be in an OFF condition, or both will be in an OFF condition and p channel MOS FET44 and n channel MOS FET45 will be in a hi-z state. Therefore, SPD input-output-buffer B-2 is setting up a setpoint signal SEL1 and SEL2 so that either may be in ON condition with SPD1 signal, and it operates as an output buffer.

[0086] When the change-over signal RL is "Low" level, it becomes reverse [ the above ], and the SPD input output buffer B1 operates as an output buffer, and SPD input-output-buffer B-2 operates as an

input buffer.

[0087] The actuation to the logical level of the change-over signal RL, a setpoint signal SEL1, and a setpoint signal SEL2 in SPD input-output-buffer B1 and B-2 of the above-mentioned configuration is shown in a table 1.

[0088]

[A table 1]

	RL	SEL1	SEL2	SPD1	SPD2
①	H	H	H	入力	出力
②	H	L	H	入力	ハイインピーダンス
③	L	H	H	ハイインピーダンス	入力
④	L	L	H	出力	入力
⑤	H	*1	L	入力	ハイインピーダンス
⑥	L	*1	L	ハイインピーダンス	入力

\*1 SEL1="H", "L"どちらの設定でも可能。

[0089] From a table 1, when making the propagation direction of the start pulse signal SPD into the direction of source driver S(1) → source driver S (n) The logical level of the change-over signal RL in the output-buffer circuit 40 of SPD input-output-buffer B-2, a setpoint signal SEL1, and a setpoint signal SEL2 Source driver [ of the first rank ] S (1) to the source driver S (n-1) An input/output terminal SPD 1 considers as the combination of the logical level of \*\* in an "input" and the table 1 with which an input/output terminal SPD 2 serves as an "output", and sets to n-th source driver S (n) of the last stage. An input/output terminal SPD 1 should just set up so that it may become the combination of the logical level of \*\* in a table 1 from which an "input" and an input/output terminal SPD 2 serve as "high impedance", or \*\*.

[0090] concrete -- the change-over signal RL from a controller 4 -- "High" -- while you consider as level, it connects with the 2nd power supply terminal VCC1 with which source driver [ of the first rank ] S (1) to the source driver S (n-1) drew input terminals SEL1 and SEL2 for the setpoint signal SEL1 in the output-buffer circuit 40 of SPD input-output-buffer B-2, and SEL2 from the VCC line, and let a setpoint signal SEL1 and a setpoint signal SEL2 be "High" level. And while only the n-th source driver S (n) of the last stage connects an input terminal SEL1 with the 2nd power supply terminal GND 1 drawn from the GND line and makes a setpoint signal SEL1 "Low" level or [ connecting an input terminal SEL2 with the 2nd power supply terminal VCC1, and setting a setpoint signal SEL2 to "High" ] -- or An input terminal SEL1 is connected to the 2nd power supply terminal GND 1 or 2nd VCC1, a setpoint signal SEL1 is made into "Low" or "High" level, and an input terminal SEL2 is connected with GND2 of the 2nd power supply terminal, and let a setpoint signal SEL2 be "Low" level.

[0091] Moreover, when making the propagation direction of the start pulse signal SPD into the direction of source driver S(n) → source driver S (1) The logical level of the change-over signal RL in the output-buffer circuit 20 of the SPD input output buffer B1, a setpoint signal SEL1, and a setpoint signal SEL2 n-th source driver S (n) to source driver S (2) An input/output terminal SPD 2 considers as the combination of the logical level of \*\* in an "input" and the table 1 with which an input/output terminal SPD 1 serves as an "output", and sets to 1st source driver S (1). An input/output terminal SPD 2 should just set up so that it may become the combination of the logical level of \*\* in a table 1 from which an "input" and an input/output terminal SPD 1 serve as "high impedance", or \*\*.

[0092] While making the change-over signal RL from a controller 4 into "Low" level, specifically The setpoint signal in the output-buffer circuit 20 of the SPD input output buffer B1 n-th source driver S (n) to source driver S (2) An input terminal SEL1 is connected with the 2nd power supply terminal GND 1, and it is a setpoint signal SEL1. It considers as "Low" level, and an input terminal SEL2 is connected with the 2nd power supply terminal VCC1, and let a setpoint signal SEL2 be "High" level. And [ whether only the 1st source driver S (1) used as the last stage connects an input terminal SEL1 and SEL2 with the 2nd power supply terminal VCC1, and makes "High" level a setpoint signal SEL1 and SEL2, and ] Or an input terminal SEL1 is connected to the 2nd power supply terminal GND 1 or 2nd VCC1, a setpoint

signal SEL1 is made into "Low" or "High" level, and an input terminal SEL2 is connected with GND2 of the 2nd power supply terminal, and let a setpoint signal SEL2 be "Low" level.

[0093] The change-over signal RL, the setpoint signal SEL1, and the example of supply of SEL2 over the propagation direction of the start pulse signal SPD in the driving gear for a display equipped with two or more source driver S— which adopted the configuration of the liquid crystal module of drawing 1 as drawing 3 (a) and (b) are shown. In drawing 3 (a) and (b), OS1–OSm are the output terminals of liquid crystal panel 2 HE from each source driver S (also in drawing 4 (a), (b), drawing 6 (a) and (b), and drawing 7 (a) and (b), it is the same).

[0094] In drawing 3 (a), the start pulse signal SPD inputs into source driver S (1) from an input/output terminal SPD 1, and spreads to source driver S(1) → source driver S (n). On the other hand, in this drawing (b), the start pulse signal SPD is inputted from the n-th input/output terminal SPD 2 of source driver S (n), and is spread to source driver S(n) → source driver S (1).

[0095] Moreover, the change-over signal RL, the setpoint signal SEL1, and the example of supply of SEL2 over the propagation direction of the start pulse signal SPD in the driving gear for a display which uses one source driver S for drawing 4 (a) and (b) are shown. In drawing 4 (a), the start pulse signal SPD inputs into the source driver S from an input/output terminal SPD 1, and the interior is spread. On the other hand, in this drawing (b), the start pulse signal SPD is inputted from the input/output terminal SPD 2 of the source driver S, and the interior is spread.

[0096] Furthermore, the change-over signal RL, the setpoint signal SEL1, and the example of supply of SEL2 over the propagation direction of the start pulse signal SPD in the driving gear for a display equipped with the configuration of the liquid crystal module of the gestalt of other operations which adopted the configuration of this invention in the liquid crystal module corresponding to above-mentioned drawing 17 and drawing 16 which mounted source driver S— in the liquid crystal panel 1 bottom, and two or more source driver S— are shown in drawing 5 and drawing 6 .

[0097] In drawing 6 (a), the start pulse signal SPD inputs from the input/output terminal SPD 2 of source driver S (1), and spreads to source driver S(1) → source driver S (n). In this drawing (b), the start pulse signal SPD is inputted from the input/output terminal SPD 1 of source driver S (n), and is spread to source driver S(n) → source driver S (1).

[0098] Moreover, the change-over signal RL, the setpoint signal SEL1, and the example of supply of SEL2 over the propagation direction of the start pulse signal SPD in the driving gear for a display which uses one source driver S for drawing 7 (a) and (b) at the liquid crystal panel 1 bottom are shown.

[0099] In addition, in above-mentioned drawing 1 and above-mentioned drawing 5 , although the connection line by the side of the SPD2 side and SPD1 shows with the configuration to which even the terminal of a controller 4 was connected directly through wiring on TCP1, or wiring on a printed circuit board 3, the configuration of making a signal spreading through the path cord between the source drivers S using internal wiring in each source driver S is sufficient as it.

[0100] Moreover, it is good also as a configuration which abandons a printed circuit board 3 and is performed through wiring on TCP1, and wiring on the glass substrate of a liquid crystal panel 2 (for example, ITO line) in an exchange of the signal between each source driver S, and an exchange of the signal of a source driver S group and a controller 4.

[0101] Moreover, the configuration of mounting LSI (LSI of a controller 4 also being included) which constitutes each source driver S as chip-on glass (COG), and exchanging a signal through wiring on the glass substrate of a liquid crystal panel 2 (for example, ITO line) may be used.

[0102] thus, since the driving gear for a display which can switch the propagation direction of a start pulse signal SPD can realize without perform the switch actuation which form the means of an analog switch etc. in a controller 4 side, and change into the condition a flow and do not flow, by adopt the above-mentioned configuration concerning this invention, the number of the semiconductor device with which a number [ by the side of a controller ] of circuits and controller side be equip conventionally of terminals reduce, and the further miniaturization of a liquid crystal module and low cost-ization can plan.

[0103] And since wiring between a controller 4 and a source driver S group can be managed with one line Compared with the conventional configuration to which wiring of two was given, that the miniaturization of a liquid crystal module can be attained, of course For a miniaturization, the circuit pattern formed into the \*\* pitch is opened, the effect by the noise can also be reduced, by the ability of wiring from a controller 4 to be managed with one moreover, there is also no wiring modification by the arrangement relation between a controller and a source driver S group, and the design of a liquid crystal module becomes easy.

[0104] Furthermore, it sets to the liquid crystal module of the gestalt of this operation as mentioned above. SPD input-output-buffer B-2 and each output-buffer circuit 40-20 of B1 an output terminal (SPD2 and SPD1) by setting it as a hi-z state The configuration which prevents the output of the start pulse signal SPD from an output terminal (SPD2 and SPD1) is adopted. The operating state of the output-buffer circuit 40-20 within the source driver S It corresponds by using supply voltage as a setpoint signal of the logic gate established in the output-buffer circuit 40-20.

[0105] Consequently, a hi-z state can be easily made only by adding a setpoint signal SEL1 and the circuit corresponding to SEL2 to the input output buffer used until now. It is small, and can realize easily and the increment in the number of circuit elements in this case does not become buildup of a chip area, either. Moreover, since it can respond only by modification of the pattern of TCP1, the same semiconductor device for actuation is [ that what is necessary is just-to-use one kind ] realizable-by low cost. Furthermore, when it can switch easily only by inputting power-source (VCC, GND) level and can realize with an easy configuration, implementation is simply possible at an internal circuitry, and since the external circuit is unnecessary, it excels in dependability and excels also in reduction-ization of a manufacturing cost.

[0106] [Gestalt 2 of operation] It will be as follows if the gestalt of others of operation concerning this invention is explained based on drawing 8 thru/or drawing 13 . In addition, for convenience, about the component of explanation shown in the drawing of the gestalt 1 of operation, and the component which has the same function, the same sign is attached and the explanation is omitted. Moreover, although a source driver group is mentioned as an example as a driving gear for a display, it cannot be overemphasized here that the focus of the liquid crystal module using the focus and it can be applied also to a gate driver group.

[0107] The system configuration of the driving gear for a display in the liquid crystal module of the gestalt of this operation is shown in drawing 8 . One start pulse signal SPD outputted from a controller 4 branches to two lines, and it is the point supplied to the terminal for each start pulse signals SPD of source driver [ of the ends of the source driver S group by which cascade connection was carried out ] S (1), and source driver S (n), and it is the same as that of the system configuration (refer to drawing 1 ) explained with the gestalt 1 of operation. [ of the system configuration shown in drawing 8 ] A different point is in a part for the terminal area for the start pulse signals SPD in each source driver S.

[0108] In the case of the gestalt 1 of operation, as a terminal for the start pulse signals SPD, each source driver S which constitutes a source driver group was equipped with input/output terminal SPD1 and SPD2, and the start pulse signal SPD which branched at two lines to input/output terminal SPD1 and SPD2 of the source driver S of the ends of a source driver S group was supplied to it.

[0109] Selection (un-flowing [ a flow / ]) of the start pulse signal SPD which branched to two lines was performed by controlling actuation of SPD input-output-buffer B1 and B-2 prepared in input/output terminal SPD1 and SPD2 so that either might function as an input terminal among input/output terminal SPD1 and SPD2 and another side might function as an output terminal according to the propagation direction of a data signal. In addition to the change-over signal RL which switches the propagation direction of a bidirectional shift register, two kinds of setpoint signals SEL1 and SEL2 were newly used for the motion control.

[0110] On the other hand, in the case of the gestalt of this operation, the propagation direction both sides are equipped with an input terminal and one output terminal at a time by the pair as a terminal for



the start pulse signals SPD at each source driver S which constitutes a source driver group. That is, each source driver is equipped with two the input terminals and output terminals for the start pulse signals SPD, and it is the configuration which supplies the start pulse signal SPD which branched at two lines to input terminal SPD\*\* and SPD\*\* of source driver [ of the ends of a source driver S group ] S (1), and source driver S (n).

[0111] Since it is not necessary to use the input output buffer which controls actuation according to this, the setpoint signal SEL1 described above for controlling actuation of an input output buffer and SEL2 are not needed, but the pattern setpoint signal SEL1 and for these SEL2 on TCP1 which carries the source driver S becomes unnecessary, simplification can be attained and the design of TCP1 becomes easy.

[0112] Hereafter, the system configuration of the driving gear for a display in the liquid crystal module of the gestalt of this operation is explained to a detail.

[0113] Also in the system configuration of drawing 8 , cascade connection of the source driver S group as well as the system configuration of drawing 1 is carried out. Clock signal CK supplied from a controller 4, a video signal Video, the change-over signal RL, power sources Vcc and GND, etc. let wiring on a printed circuit board 3, and wiring on TCP1 pass. It is inputted from the input terminal CK 1 of source driver S (1), an input terminal Video1, an input terminal RL1, a power supply terminal Vcc, and a power supply terminal GND, and internal wiring which consists of an aluminium wire in the source driver S (1) etc. is spread. It is outputted from the output terminal CK 2 of source driver S (1), an output terminal Video2, an output terminal RL2, a power supply terminal Vcc, and a power supply terminal GND, and inputs into source driver [ of the next step ] S (2) similarly. In addition, the configuration of it being allotted as a highway with wiring on a printed circuit board 3, and inputting into each source driver S separately is sufficient as these signal supply lines like the gestalt 1 of operation.

[0114] On the other hand, the start pulse signal SPD supplied from a controller 4 branches to two lines, and is supplied through wiring on a printed circuit board 3 and TCP1 to both input terminal SPD\*\* of 1st source driver S (1) located in the ends of the source driver S group by which cascade connection was carried out, and input terminal SPD\*\* of n-th source driver S (n).

[0115] The circuit block concerning terminal SPD\*\* for four start pulse signals SPD – SPD\*\* in one source driver S in the above-mentioned source driver S group is shown in drawing 9 . In addition, each source driver S of a source driver S group is the same configuration altogether.

[0116] As shown in this drawing, the bidirectional shift register 60 with which the interior of source driver S was equipped consists of the 1st line spread from input terminal SPD\*\* to output terminal SPD\*\*, and the 2nd line spread from input terminal SPD\*\* to output terminal SPD\*\*.

[0117] The SPD input buffer B11 and B14 are prepared in input terminal SPD\*\*andSPD\*\*, respectively, and an output buffer B12 and B13 are prepared in output terminal SPD\*\*andSPD\*\*, respectively. Clock signal CK is inputted into the bidirectional shift register 60 through the CK input buffer B20 prepared in the input terminal CK, and is outputted through the CK output buffer B21 prepared in the output terminal CK 2. Moreover, into the bidirectional shift register 60, through an inverter, the change-over signal RL reaches as it is, and a reversal input is carried out.

[0118] In this source driver S, the start pulse signal SPD inputted from input terminal SPD\*\* goes into the bidirectional shift register 60 through an input buffer B11, and the interior is spread on the right from the left in drawing, and it is outputted from output terminal SPD\*\* through the SPD output buffer B12 (the 1st line).

[0119] Moreover, the start pulse signal SPD inputted from input terminal SPD\*\* goes into the bidirectional shift register 60 through an input buffer B14, and the interior is spread on the left from the right in drawing, and it is outputted from output terminal SPD\*\* through the SPD output buffer B13 (the 2nd line).

[0120] In the system configuration of drawing 8 , n piece cascade connection of the source driver S shown in such drawing 9 is carried out. That is, output terminal SPD\*\* of 1st source driver S (1) and

input terminal SPD\*\* of the 2nd source driver (2) are connected, and output terminal SPD\*\* of 2nd source driver S (2) and input terminal SPD\*\* of the 1st source driver (1) are connected. Similarly, it connects to n-th source driver S (n).

[0121] And the start pulse signal SPD is supplied to input terminal SPD\*\* of 1st source driver S (1) used as the ends of a source driver S group, and input terminal SPD\*\* of n-th source driver S (n).

[0122] It is realized by one side being considered as a flow and un-flowing one side being supposed by the change-over signal RL which switches the direction of transfer of a bidirectional shift register, whether which system is chosen between two start pulse signals SPD inputted into such a source driver group by which cascade connection was carried out.

[0123] The detailed circuit diagram of the two above-mentioned bidirectional shift registers 60 is shown in drawing 10 . Since the circuitry of the bidirectional shift register 60 shown here is known, the detailed explanation is omitted.

[0124] In such a bidirectional shift register 60, when the change-over signal RL is "High" level, a synchronization is taken and spread in the standup of clock signal CK by the signal inputted from input terminal SPD\*\*, and it is outputted to output terminal SPD\*\*. On the other hand, when the change-over signal RL is "Low" level, a synchronization is taken and spread in the standup of clock signal CK by the signal inputted into reverse from input terminal SPD\*\*, and it is outputted to output terminal SPD\*\*.

[0125] ~~The propagation direction of the start pulse signal SPD when making the change-over signal RL~~ into "Low" level in the system configuration of drawing 8 at drawing 11 (a) is shown. By making the change-over signal RL into "Low" level, the start pulse signal SPD from a controller 4 is inputted from input terminal SPD\*\* of 1st source driver S (1), the internal bidirectional shift register 60 is transmitted to it, is outputted from output terminal SPD\*\*, and is inputted into input terminal SPD\*\* of source driver [ of the next step ] S (2). Henceforth, the spread start pulse signal SPD reaches similarly one by one to output terminal SPD\*\* of n-th source driver S (n) used as the last stage of the propagation direction. No output terminal SPD\*\*s of n-th source driver S (n) used as this last stage are connected.

[0126] As compared with this drawing (a), drawing 11 (b) has the difference in the loading location of the source driver S group to a liquid crystal panel 2 (difference in whether it considers as a liquid crystal panel 2 upside, or it considers as the bottom), or is the same, and is the case where the arrangement locations of a controller 4 differ. [ of the loading location to a liquid crystal panel 2 ]

[0127] Also in this case, similarly it is "Low" level, and the change-over signal RL is inputted from input terminal SPD\*\* of n-th source driver S (n), and the internal bidirectional shift register 60 is transmitted to the start pulse signal SPD, it is outputted from output terminal SPD\*\*, and it inputs it into input terminal SPD\*\* of the source driver S of the next step (n-1). Henceforth, the spread start pulse signal SPD reaches similarly one by one to output terminal SPD\*\* of 1st source driver S (1) used as the last stage of the propagation direction. No output terminal SPD\*\*s of 1st source driver S (1) used as this last stage are connected.

[0128] Drawing 12 (a) and (b) are the cases where make the change-over signal RL into "High" level, and drawing 11 (a) and (b) make reverse the shift direction of the bidirectional shift register 60.

[0129] In drawing 12 (a), the start pulse signal SPD is inputted from input terminal SPD\*\* of n-th source driver S (n), the internal bidirectional shift register 60 is transmitted to it, is outputted from output terminal SPD\*\*, and is inputted into input terminal SPD\*\* of the source driver S of the next step (n-1). Henceforth, the spread start pulse signal SPD reaches similarly one by one to output terminal SPD\*\* of 1st source driver S (1) used as the last stage of the propagation direction. No output terminal SPD\*\*s of 1st source driver S (1) used as this last stage are connected.

[0130] As compared with this drawing (a), drawing 12 (b) has the difference in the loading location of the source driver S group to a liquid crystal panel 2 (difference in whether it considers as a liquid crystal panel 2 upside, or it considers as the bottom), or is the same, and is the case where the arrangement locations of a controller 4 differ. [ of the loading location to a liquid crystal panel 2 ]

[0131] In drawing 12 (b), the start pulse signal SPD is inputted from input terminal SPD\*\* of 1st source

driver S (1), the internal bidirectional shift register 60 is transmitted to it, is outputted from output terminal SPD\*\*, and is inputted into input terminal SPD\*\* of source driver [ of the next step ] S (2). Henceforth, the spread start pulse signal SPD reaches similarly one by one to output terminal SPD\*\* of n-th source driver S (n) used as the last stage of the propagation direction. No output terminal SPD\*\*s of n-th source driver S (n) used as this last stage are connected.

[0132] Moreover, the example of the driving gear for a display which used one source driver S shown in drawing 9 for drawing 13 (a) and (b) is shown. Proper use by the loading location of the source driver S to a liquid crystal panel 2 and the difference in arrangement of a controller is shown. If the change-over signal RL is "Low" level, the start pulse signal SPD will be inputted and spread from input terminal SPD\*\*, and if the change-over signal RL is "High" level, the start pulse signal SPD will be inputted from input terminal SPD\*\*. Output terminal SPD\*\* and SPD\*\* in drawing 13 (a) and (b) are connected to neither.

[0133] Since a setpoint signal SEL1 and SEL2 become unnecessary by considering as such a configuration compared with the gestalt 1 of operation as mentioned above, the pattern selection-signal SEL1 and for these SEL2 on TCP1 which carries the source driver S becomes unnecessary, simplification can be attained and the design of TCP1 becomes easy.

[0134] In addition, about the effectiveness by the configuration which, and supplies this to the input terminal of the source driver S of the ends by which cascade connection was carried out by branching, it is as the same as the gestalt 1 of operation described. [ a configuration ] [ the supply line of the start pulse signal SPD from a controller 4 to a source driver S group ] [ 1 ]

[0135] Moreover, in the gestalten 1 and 2 of operation mentioned above, the example of the source driver S was given as a semiconductor device for actuation of the driving gear for a display. Therefore, the start pulse signal SPD in this case is a Horizontal Synchronizing signal for displaying on a liquid crystal panel 2, or a signal made from the Horizontal Synchronizing signal.

[0136] On the other hand, as mentioned above, this invention is applicable also to the gate driver which contains a bidirectional shift register similarly and transmits the start pulse signal SPD. The start pulse signal SPD supplied from the controller 4 in this case turns into a Vertical Synchronizing signal for displaying on a liquid crystal panel 2, or a signal made from the Vertical Synchronizing signal.

[0137]

[Effect of the Invention] The number of the supply lines of the start pulse signal supplied from the exterior as mentioned above in the 1st driving gear for a display of this invention is one. The supply line of the start pulse signal of this one book branches to two lines, and is connected to the input terminal of the start pulse signal of the semiconductor device for actuation of the ends in the semiconductor device group for actuation by which cascade connection was carried out, respectively. It is the configuration which flows through one side of two start pulse signals inside the semiconductor device group for actuation, and presupposes un-flowing another side.

[0138] Thereby, like before, the means of an analog switch etc. is formed in the controller side which inputs a control signal etc. into the semiconductor device group for actuation, and the driving gear for a display which can switch the propagation direction of a start pulse signal can be realized, without performing switch actuation which is changed into the condition of a flow and not flowing.

[0139] Consequently, by setting up the propagation direction of a start pulse signal according to the propagation direction of a data signal, it can respond to arrangement various by one kind of semiconductor device for actuation, in addition to the same effectiveness as the former that the cost reduction of the semiconductor device for actuation is possible, the number of terminals of the semiconductor device with which a number [ by the side of a controller ] of circuits and controller side is equipped conventionally is reduced, and further miniaturization of a liquid crystal module and low cost-ization can be attained. And since wiring between a controller and the semiconductor device group for actuation can be managed with one line Compared with the conventional configuration to which wiring of two was given, that the miniaturization of a liquid crystal module can be attained, of course For

a miniaturization, the circuit pattern formed into the \*\* pitch is opened, the effect by the noise can also be reduced, by the ability of wiring from a controller to be managed with one moreover, there is also no wiring modification by the arrangement relation between a controller and the semiconductor device group for actuation, and a modular design becomes easy.

[0140] the supply line of the start pulse signal supplied from the exterior as mentioned above in the 2nd driving gear for a display of this invention -- one -- it is -- this -- it is the configuration which it branches to two lines, and connects with the input terminal of the start pulse signal of the above-mentioned semiconductor device both sides for actuation, respectively, and the supply line of one start pulse signal flows through one side of two start pulse signals inside the above-mentioned semiconductor device for actuation, and presupposes un-flowing another side.

[0141] Although this is the driving gear for a display of the one-piece usage who has a semiconductor device for actuation alone, it is 1-izing [ the supply line of such a start pulse signal ] also in this case, and does so the same effectiveness as the 1st driving gear for a display equipped with two or more previous semiconductor devices for actuation.

[0142] The input terminal of the start pulse signal of the semiconductor device for actuation which serves as the first rank to the propagation direction of the above-mentioned data signal as mentioned above in the 3rd driving gear for a display of this invention, While both the output terminals of the start pulse signal of the semiconductor device for actuation which serves as the last stage to the propagation direction are connected and a start pulse signal is supplied to an ends child It is the configuration that the signal output from the output terminal of the start pulse signal in the above-mentioned semiconductor device for actuation used as the last stage is prevented.

[0143] the 1st above-mentioned driving gear for a display by this -- the same -- the effectiveness by 1-izing [ the supply line of a start pulse signal ] is done so.

[0144] Moreover, it sets to this 3rd driving gear for a display. As a configuration which prevents the signal output from the output terminal of the start pulse signal of the semiconductor device for actuation used as the last stage According to [ it is desirable that the output-buffer circuit of an input output buffer established in this output terminal adopts the configuration which sets this output terminal as a hi-z state, and ] this, the operating state of an output-buffer circuit within the semiconductor device for actuation As a result of being able to respond using supply voltage as a setpoint signal of the logic gate established in the output-buffer circuit, effectiveness which is indicated below is collectively done so.

[0145] First of all, a hi-z state can be easily made only by adding the circuit corresponding to a setpoint signal to an old input output buffer. It is small, and can realize easily and the increment in the number of circuit elements accompanying this does not become buildup of a chip area. Moreover, since it can respond only by modification of a TCP pattern, the same semiconductor device for actuation is [ that what is necessary is just to use one kind ] realizable by low cost. Moreover, it can switch easily only by inputting power-source (VCC, GND) level, and can realize with an easy configuration. Furthermore, implementation is simply possible at an internal circuitry, and since the external circuit is unnecessary, it is excellent in reduction-ization of dependability and a manufacturing cost.

[0146] The 4th driving gear for a display of this invention is the configuration that the signal output from the above-mentioned input output buffer prepared in the terminal which serves as an output side of a start pulse signal in the propagation direction of the above-mentioned data is prevented while the ends child for I/O of the start pulse signal of the above-mentioned semiconductor device for actuation is connected and a start pulse signal is supplied to these ends child as mentioned above.

[0147] Although this is the driving gear for a display of the one-piece usage who has a semiconductor device for actuation alone, it is considering as such a configuration also in this case, and does so the same effectiveness as the 3rd above-mentioned driving gear for a display.

[0148] As mentioned above, the 5th driving gear for a display of this invention is the configuration that the supply line of one start pulse signal supplied from the exterior is branched and connected to each

input terminal for the start pulse signals of the semiconductor device for actuation of the ends in the semiconductor device group for these actuation by which cascade connection was carried out at two lines while two the input terminals and output terminals for start pulse signals are prepared in each semiconductor device for actuation.

[0149] the 1st above-mentioned driving gear for a display by this -- the same -- the effectiveness by 1-izing [ the supply line of a start pulse signal ] is done so. And the need of controlling actuation of an input output buffer by not connecting the output terminal of the semiconductor device for actuation which is made flowing through either of the start pulse signals inputted from the both sides of the semiconductor device group for actuation with this configuration, and serves as the propagation direction last stage like the 3rd driving gear for a display is absolutely none. Consequently, the signal line for controlling actuation of an input output buffer etc. becomes unnecessary, and does so collectively the effectiveness that the design of TCP which carries each semiconductor device for actuation becomes easy.

[0150] As mentioned above, the 6th driving gear for a display of this invention is the configuration that the supply line of one start pulse signal supplied from the exterior is branched and connected to each input terminal for the start pulse signals of this semiconductor device for actuation at two lines while two the input terminals and output terminals for start pulse signals are prepared in the semiconductor device for actuation.

[0151] Although this is the driving gear for a display of the one-piece usage who has a semiconductor device for actuation alone, it is considering as such a configuration also in this case, and does so the same effectiveness as the 5th above-mentioned driving gear for a display.

---

[Translation done.]

#### **\* NOTICES \***

**JPO and NCIP are not responsible for any damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

#### **DESCRIPTION OF DRAWINGS**

[Brief Description of the Drawings]

[Drawing 1] It is the top view in which showing one gestalt of operation of this invention, and showing the configuration of the liquid crystal module using two or more source drivers.

[Drawing 2] It is the circuit diagram showing the configuration of the SPD input output buffer of each source driver in the liquid crystal module of drawing 1 .

[Drawing 3] (a) and (b) -- it is both the block diagram showing the example of signal supply of the start pulse signal in the liquid crystal module of drawing 1 .

[Drawing 4] (a) and (b) -- it is the block diagram in which showing other gestalten of operation of this invention, and both showing the example of signal supply of the start pulse signal in the liquid crystal module using one source driver.

[Drawing 5] It is the top view in which showing other gestalten of operation of this invention, and showing the configuration of the liquid crystal module using two or more source drivers.

[Drawing 6] (a) and (b) -- it is both the block diagram showing the example of signal supply of the start

pulse signal in the source driver group of the liquid crystal module of drawing 5 .

[Drawing 7] (a) and (b) -- it is the block diagram in which showing other gestalten of operation of this invention, and both showing the example of signal supply of the start pulse signal in the liquid crystal module using one source driver.

[Drawing 8] It is the top view in which showing the gestalt of others of operation of this invention, and showing the configuration of the liquid crystal module using two or more source drivers.

[Drawing 9] It is the circuit block diagram showing the circuitry of the perimeter of a bidirectional shift register in each source driver shown in drawing 8 .

[Drawing 10] It is the circuit block diagram showing the circuitry of the bidirectional shift register shown in drawing 9 in a detail.

[Drawing 11] (a) and (b) -- it is both the block diagram showing the distribution channel of the start pulse signal by source driver two or more usage.

[Drawing 12] (a) and (b) -- it is both the block diagram showing the distribution channel of the start pulse signal by source driver two or more usage.

[Drawing 13] (a) and (b) -- it is both the block diagram showing the distribution channel of the start pulse signal by source driver unit usage.

[Drawing 14] It is the top view showing the configuration of the conventional liquid crystal module.

~~[Drawing 15] (a) and (b) -- it is both the block diagram showing the example of signal supply of the start pulse signal in the liquid crystal module of drawing 14 .~~

[Drawing 16] (a) and (b) -- it is both the block diagram showing the example of signal supply of the start pulse signal in the liquid crystal module of drawing 17 .

[Drawing 17] It is the top view showing another configuration of the conventional liquid crystal module.

[Description of Notations]

1 TCP

2 Liquid Crystal Panel

3 Printed Circuit Board

4 Controller

20 Output-Buffer Circuit

40 Output-Buffer Circuit

B1 SPD input output buffer (input output buffer)

B-2 SPD input output buffer (input output buffer)

GND Power supply terminal

GND1 The 2nd power supply terminal

RL Change-over signal

S Source driver (semiconductor device for actuation)

SEL1 Setpoint signal

SEL2 Setpoint signal

SPD1 Input/output terminal

SPD2 Input/output terminal

SPD Start pulse signal

VCC Power supply terminal

VCC1 The 2nd power supply terminal

SPD\*\* input terminal

SPD\*\* output terminal

SPD\*\* output terminal

SPD\*\* input terminal

---

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-166727

(P2001-166727A)

(43) 公開日 平成13年6月22日 (2001.6.22)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード* (参考)
G 0 9 G 3/20	6 2 1	G 0 9 G 3/20	6 2 1 A 2 H 0 9 3
G 0 2 F 1/133	5 5 0	G 0 2 F 1/133	5 5 0 5 C 0 0 6
G 0 9 G 3/36		G 0 9 G 3/36	5 C 0 8 0

審査請求 未請求 請求項の数10 O L (全 20 頁)

(21) 出願番号 特願平11-362976

(22) 出願日 平成11年12月21日 (1999.12.21)

(31) 優先権主張番号 特願平11-279685

(32) 優先日 平成11年9月30日 (1999.9.30)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 折坂 幸久

大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内

(72) 発明者 小川 嘉規

大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内

(74) 代理人 100080034

弁理士 原 謙三

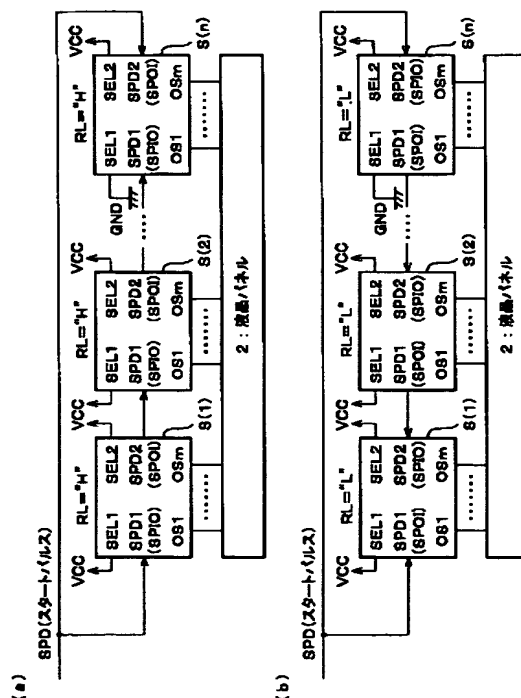
最終頁に続く

(54) 【発明の名称】 表示用駆動装置及びそれを用いた液晶モジュール

(57) 【要約】

【課題】 コントローラと駆動用半導体素子間の配線の削減、コントローラの構成の簡素化、及びコントローラの小型化等を実現して、液晶モジュールの小型・薄型化・低コスト化を図る。

【解決手段】 ソースドライバS (1) … S (n) からなるソースドライバS群において、ソースドライバS (1) のスタートパルス信号 (SPD) の入出力端子SPD1と、ソースドライバS (n) のSPDの入出力端子SPD2とを共に接続し、両方にSPDを供給する。各ソースドライバSの入出力端子SPD1・SPD2に設けられた入出力バッファの出力バッファ回路の動作状態を、電源VCC、GNDからの電位レベルを設定信号SEL1・SEL2として制御して、SPD伝搬方向初段から最終段1つ手前までの各ソースドライバSをSPDを伝搬可能な状態とする一方、最終段のソースドライバSの出力端子をハイインピーダンス状態としてSPDの出力を阻止する。



(2)

## 【特許請求の範囲】

1  
【請求項1】双方向シフトレジスタを備える複数の駆動用半導体素子が縦続接続され、スタートパルス信号の伝搬方向の切り換えが可能な表示用駆動装置において、外部より供給されるスタートパルス信号の供給ラインが1本のみであり、該1本のスタートパルス信号の供給ラインが2系統に分岐されて、縦続接続された駆動用半導体素子群における両端の駆動用半導体素子のスタートパルス信号の入力端子にそれぞれ接続され、駆動用半導体素子群内部で2系統のスタートパルス信号の一方を導通、他方を非導通とすることを特徴とする表示用駆動装置。

【請求項2】双方向シフトレジスタを備える駆動用半導体素子を単体で備え、スタートパルス信号の伝搬方向の切り換えが可能な表示用駆動装置において、外部より供給されるスタートパルス信号の供給ラインが1本のみであり、該1本のスタートパルス信号の供給ラインが2系統に分岐されて、上記駆動用半導体素子両側のスタートパルス信号の入力端子にそれぞれ接続され、上記駆動用半導体素子内部で2系統のスタートパルス信号の一方を導通、他方を非導通とすることを特徴とする表示用駆動装置。

【請求項3】双方向シフトレジスタを備えた複数の駆動用半導体素子が縦続接続され、各駆動用半導体素子のスタートパルス信号の入力端子及び出力端子に、外部より与えられる切換信号により入出力の切り換えが可能な入出力バッファが設けられ、スタートパルス信号の伝搬方向の切り換えが可能な表示用駆動装置において、上記データ信号の伝搬方向に対して初段となる駆動用半導体素子のスタートパルス信号の入力端子と、伝搬方向に対して最終段となる駆動用半導体素子のスタートパルス信号の出力端子とが共に接続されて両端子にスタートパルス信号が供給されると共に、最終段となる上記駆動用半導体素子におけるスタートパルス信号の出力端子からの信号出力が阻止されていることを特徴とする表示用駆動装置。

【請求項4】最終段となる上記駆動用半導体素子のスタートパルス信号の出力端子に設けられた上記入出力バッファの出力バッファ回路が、該出力端子をハイインピーダンス状態に設定して信号出力を阻止することを特徴とする請求項3に記載の表示用駆動装置。

【請求項5】上記入出力バッファの出力バッファ回路の動作状態を、電源ラインの信号レベルを設定信号として制御することを特徴とする請求項4に記載の表示用駆動装置。

【請求項6】双方向シフトレジスタを備えた駆動用半導体素子を単体で備え、該駆動用半導体素子のスタートパルス信号の入力端子及び出力端子に、外部より与えられる切換信号により入出力の切り換えが可能な入出力バッファが設けられ、スタートパルス信号の伝搬方向の切り

2  
換えが可能な表示用駆動装置において、

上記駆動用半導体素子のスタートパルス信号の入出力用の両端子が接続されてこれら両端子にスタートパルス信号が供給されると共に、上記データの伝搬方向にてスタートパルス信号の出力側となる端子に設けられた上記入出力バッファからの信号出力が阻止されていることを特徴とする表示用駆動装置。

10 【請求項7】双方向シフトレジスタを備える複数の駆動用半導体素子が縦続接続され、スタートパルス信号の伝搬方向の切り換えが可能な表示用駆動装置において、各駆動用半導体素子にスタートパルス信号用の入力端子と出力端子とが2系統設けられると共に、縦続接続されたこれら駆動用半導体素子群における両端の駆動用半導体素子のスタートパルス信号用の各入力端子に、外部より供給される1本のスタートパルス信号の供給ラインが2系統に分岐されて接続されていることを特徴とする表示用駆動装置。

20 【請求項8】双方向シフトレジスタを備える駆動用半導体素子を単体で備え、スタートパルス信号の伝搬方向の切り換えが可能な表示用駆動装置において、駆動用半導体素子にスタートパルス信号用の入力端子と出力端子とが2系統設けられると共に、該駆動用半導体素子のスタートパルス信号用の各入力端子に、外部より供給される1本のスタートパルス信号の供給ラインが2系統に分岐されて接続されていることを特徴とする表示用駆動装置。

【請求項9】データ信号の伝搬方向に応じてスタートパルス信号の伝搬方向が設定されることを特徴とする請求項1ないし8の何れか1項に記載の表示用駆動装置。

30 【請求項10】請求項1ないし9の何れか1項に記載の表示用駆動装置を備えたことを特徴とする液晶モジュール。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、画像の表示素子を駆動する駆動装置に係り、特にソースドライバ及びゲートドライバとして液晶モジュールに搭載される液晶ドライバの接続形態と信号供給形態とに関するものである。

【0002】

40 【従来の技術】従来の液晶モジュールにおける表示用駆動装置のシステム構成について、図14を用いて説明する。

【0003】図14に示すように、液晶パネル100上には、液晶パネル100におけるソースバスラインの駆動を担う駆動装置として、双方向シフトレジスタを備えるソースドライバLSI (Large Scale Integrated Circuit) からなるn個のソースドライバS… (ソースドライバS群と称する場合もある) が、それぞれTCP (Tape Carrier Package) 101上に搭載された状態で実装されている。これらソースドライバS…は、後述するス

50



(3)

3

タートパルス信号SPD及びクロックCKの供給等において、縦続接続されている。

【0004】各ソースドライバSを搭載した各TCP101は、その液晶パネル100への出力端子が液晶パネル100上に設けられた入力端子（不図示）と電氣的に接続されると共に、その入力端子がプリント基板102上に形成された配線と電氣的に接続され、これにより、液晶パネル100とプリント基板102とがソースドライバS群を介して電氣的に接続されている。

【0005】プリント基板102におけるソースドライバS（1）側には、コントローラ104が接続されている。このコントローラ104は、ソースドライバS群に対して、制御信号及び電源を供給するものであって、制御信号及び電源は、プリント基板102上の配線及び各TCP101上の配線を通して、各ソースドライバSに供給される。なお、ここでは特に図示してはいないが、コントローラ104は、ゲートドライバ群に対しても同様に制御信号及び電源を供給するようになっている。

【0006】コントローラ104から供給される制御信号及び電源としては、映像信号の水平同期信号と同期を取ったスタートパルス信号SPD、クロック信号CK、映像信号Video、各ソースドライバS内の双方向シフトレジスタや入出力バッファ等を切り換えてソースドライバS内でのスタートパルス信号SPDの伝搬方向を決定する切換信号RL、及び電源VccとGND等がある。

【0007】図14の構成では、コントローラ104より供給されるクロック信号CK、映像信号Video、切り換え信号RL、電源Vcc及びGNDは、プリント基板102上及びTCP101上の配線を通して、1番目のソースドライバS（1）に、入力端子CK1、入力端子Video1、入力端子RL1、電源端子Vcc、電源端子GNDより入力する。そして、該ソースドライバS（1）内のアルミニウム線等からなる内部配線を伝搬し、その後、ソースドライバS（1）の出力端子CK2、出力端子Video2、出力端子RL2、電源端子Vcc、電源端子GNDより出力され、次段のソースドライバS（2）に上記と同様にして入力する。

【0008】なお、コントローラ104より供給されるこれら信号の供給ラインを、プリント基板102上の配線で共通線として配設し、各ソースドライバSに個々に入力させる構成とすることもできる。

【0009】一方、図に示すように、スタートパルス信号SPDについては、1番目のソースドライバS（1）の入出力端子SPD1に入るラインと、n番目のソースドライバS（n）の入出力端子SPD2に入るラインとの2本が設けられており、何れか1ラインを選択して入力させる構成となっている。スタートパルス信号SPDを入力するラインを入出力端子SPD1側とするか出力端子SPD2側とするかで、ソースドライバS群にお

4

けるスタートパルス信号SPDの伝搬方向が、ソースドライバS（1）→ソースドライバS（n）、或いはソースドライバS（n）→ソースドライバS（1）に切り換えることとなる。このようなスタートパルス信号SPDを入力するラインの選択は、コントローラ104にて行われている。

【0010】コントローラ104内のスタートパルス出力段には、制御信号SPA（／SPAは、SPAの反転信号）で切り換えが制御されるアナログスイッチ等からなる切換スイッチSW1・SW2が設けられており、該スイッチSW1・SW2の切り換え制御により、スタートパルス信号SPDを出力するラインの選択が可能となる。

【0011】入出力端子SPD1に入力する場合、制御信号SPAを“High”レベルとする。制御信号SPAが“High”レベルのとき、SPD1側の切換スイッチSW1が導通し、他方のSPD2側の切換スイッチSW2は非導通状態となる。反対に、入出力端子SPD2に入力する場合は、制御信号SPAを“Low”レベルとする。制御信号SPAが“Low”レベルのとき、SPD1側の切換スイッチSW1が非導通状態となり、他方のSPD2側の切換スイッチSW2が導通することとなる。

【0012】制御信号SPAを“High”レベルとしたとき、ソースドライバS（1）の入出力端子SPD1よりスタートパルス信号SPDが、クロック信号CKに同期をとって入力され、ソースドライバS（1）内の双方向シフトレジスタを伝搬され、次段のソースドライバS（2）に入力し、以下、同様に縦続接続されたソースドライバS…を伝搬され、最終段のソースドライバS（n）内まで伝搬される。このとき、スタートパルス信号SPDは、最終段のソースドライバS（n）の入出力端子SPD2より出力されるが、SPD1への入力を選択した状態で、コントローラ104の切換スイッチSW2が非導通であるので、コントローラ104内にスタートパルス信号SPDが伝搬されることはない。

【0013】また、制御信号SPAを“Low”レベルとしたとき、上記とは逆に、スタートパルス信号SPDは、n番目のソースドライバS（n）を初段として、この入出力端子SPD2に入力して、最終段となる1番目のソースドライバS（1）内まで伝搬される。このときも、スタートパルス信号SPDは、最終段となるソースドライバS（1）の入出力端子SPD1より出力されるが、SPD2への入力を選択した状態で、コントローラ104の切換スイッチSW1が非導通であるのでコントローラ104内に伝搬されることはない。また、この場合、各ソースドライバS内でのスタートパルス信号SPDの伝搬方向を決める切換信号RLも、先とは逆のレベルに設定される。

【0014】次に、上記図14に示すシステム構成を、

(4)

5

図15 (a) (b) のブロック図を用いて、さらに詳細に説明する。図15 (a) (b) において、OS1～OSmは、各ソースドライバSから液晶パネル100への出力端子である。

【0015】図15 (a) では、コントローラ104内の切換スイッチSW1・SW2の制御信号SPAは“High”レベルで、SPD1側の切換スイッチSW1が導通している。この状態で、スタートパルス信号SPDは、ソースドライバS(1)の入出力端子SPD1から入力され、入出力端子SPD2から出力され、次段のソースドライバS(2)の入出力端子SPD1に入力され、以下同様に伝搬される。

【0016】同図(b)は、切換スイッチSW1・SW2の制御信号SPAと切換信号RLとを同図(a)とは逆レベルに設定し、スタートパルス信号SPDの伝搬方向を逆にしたものである。つまり、同図(b)では、スタートパルス信号SPDは、n番目のソースドライバS(n)の入出力端子SPD2から入力され、入出力端子SPD1から出力され、次段のソースドライバS(n-1)に入力され、以下同様に1番目のソースドライバS(1)まで伝搬される。

【0017】また、図16 (a) (b) に、ソースドライバS(n)の入出力端子SPD1と接続されたラインを、TCP101上の配線、及びプリント基板102上の配線を介して、直接コントローラ104に接続した例を示す(前述の図15 (a) (b) は、ソースドライバS(n)の入出力端子SPD2と接続されたラインを、TCP101上の配線、及びプリント基板102上の配線を介して、直接コントローラ104に接続している)。さらに、図17に、図16に対応する液晶モジュールの構成図を示す。

【0018】このような対応、即ち、各ソースドライバS内のシフトレジスタを双方向シフトレジスタとして、スタートパルス信号SPDの伝搬方向の切り換えを可能にすることで、同一構成のソースドライバSで、液晶パネル100の上側に搭載する構成にも、液晶パネル100の下側に搭載する構成にも対応できるので、駆動用半導体素子であるソースドライバSのコストを低減できる。

【0019】しかも、スタートパルス信号を出力するコントローラ104の搭載位置を、ソースドライバS群の左側に配置するかソースドライバS群の右側に配置するか、液晶モジュールとして考えた時も、スタートパルス信号の伝搬方向の切り換えを可能とすることで、例えば液晶パネル100の上側に搭載されたソースドライバS群の右側でも左側でも対応でき、また、液晶パネル100の下側に搭載されたソースドライバS群の場合もその右側でも左側でも対応でき、液晶モジュールの小型化、薄型化への設計の容易性が高まる。

【0020】また、図14及び図17に示すように、液

6

晶パネル100の上側と下側の何れにソースドライバS…を実装する構成において、同一のプリント基板102の流用が可能となる。

【0021】

【発明が解決しようとする課題】ところが、近年、液晶モジュールのさらなる小型化、薄型化、低コスト化の要請は強く、これらへの対応としてモジュール全体からの取り組みが行われている。このため、これまでのソースドライバS側やゲートドライバ側のみでの検討ではなく、コントローラ104を含めた検討が必要となっている。

【0022】そこで、本願出願人は、上記した要請に応えるべく、従来の液晶モジュールの構成における改善点について鋭意検討した結果、以下に示す点に改善の余地があることを見出した。

【0023】即ち、上記した従来の構成では、ソースドライバS内の双方向シフトレジスタによるスタートパルス信号SPDの伝搬方向の切り換えを可能とするために、コントローラ104に、初段のソースドライバS(1)の入出力端子SPD1(或いは入出力端子SPD2)への接続ラインと、n番目のソースドライバS(n)の入出力端子SPD2(或いは入出力端子SPD1)への接続ラインとの合計2本の配線が施されている。したがって、コントローラ104とソースドライバS群との間の配線数が増加し、必然的に小型化が阻止されている。

【0024】また、スタートパルス信号SPDの入力先の選択を、コントローラ104内部に、制御信号SPAにより導通もしくは非導通とするアナログスイッチ等からなる切換スイッチSW1・SW2を設けることで対応している。そのため、コントローラ104側の構成を複雑化すると共に、切換スイッチSW1・SW2を介して入出力端子SPD1側と入出力端子SPD2側とに信号を各々出力するため、コントローラ104側LSIの端子数が増加する。その結果、コントローラ104のさらなる小型化、低コスト化が阻止されている。

【0025】なお、ここではソースドライバS群を例示したが、表示装置のゲートバスラインを駆動するゲートドライバ群においても同様の問題があることは言うまでもない。

【0026】本発明は、上記の課題に鑑みなされたものであって、その目的は、コントローラと駆動用半導体素子群間の配線の削減、コントローラ内部の上記した切換スイッチ等の手段の削減、及びこれに伴うコントローラ側LSIの端子の削減とが可能な表示用駆動装置を提供することにある。

【0027】

【課題を解決するための手段】本発明の第1の表示用駆動装置においては、上記の課題を解決するために、双方向シフトレジスタを備える複数の駆動用半導体素子が縦続接続され、スタートパルス信号の伝搬方向の切り換え

(5)

7

が可能な表示用駆動装置において、外部より供給されるスタートパルス信号の供給ラインが1本のみであり、該1本のスタートパルス信号の供給ラインが2系統に分岐されて、縦続接続された駆動用半導体素子群における両端の駆動用半導体素子のスタートパルス信号の入力端子にそれぞれ接続され、駆動用半導体素子群内部で2系統のスタートパルス信号の一方を導通、他方を非導通とすることを特徴としている。

【0028】これによれば、外部からのスタートパルス信号の供給ラインを1本とし、これを2系統に分岐して縦続接続された駆動用半導体素子群における両端の駆動用半導体素子のスタートパルス信号の入力端子に入力させ、駆動用半導体素子群内部で何れかのスタートパルス信号を導通させるようになっている。

【0029】したがって、従来のように、駆動用半導体素子群へ制御信号等を入力するコントローラ側にアナログスイッチ等の手段を設けて、導通・非導通の状態にするような切り換え動作を行うことなく、スタートパルス信号の伝搬方向を切り換え可能な表示用駆動装置を実現できる。

【0030】そして、データ信号の伝搬方向に応じてスタートパルス信号の伝搬方向を設定することで、前述したように、同一構成の駆動用半導体素子を液晶パネルの上側及び下側の何れにも搭載可能となり、さらに、スタートパルス信号を出力するコントローラの搭載位置も、例えば液晶パネルの上側に搭載された駆動用半導体素子の右側及び左側の何れにも設置でき、かつ、駆動用半導体素子が液晶パネルの下側に搭載されている場合も同様である。その結果、1種類の駆動用半導体素子で各配置に対応できるため駆動用半導体素子のコストを低減できる。

【0031】そしてこの場合、スタートパルス信号の伝搬方向が切り換え可能な構成を、従来よりもコントローラ側の回路数やコントローラ側に備えられる半導体装置の端子数を削減して実現できるので、このような表示用駆動装置を用いることで、液晶モジュールのさらなる小型化、低コスト化が図れる。

【0032】しかも、コントローラと駆動用半導体素子群との間の配線が1ラインで済むので、2本の配線が施されていた従来の構成に比べて、液晶モジュールの小型化が図れることはもちろん、小型化のために狭ピッチ化した配線パターンを広げてノイズによる影響も低減できる。さらに、コントローラからの配線が1本で済むことは、コントローラと駆動用半導体素子群との配置関係による配線変更もなく、モジュールの設計を容易にするといった利点もある。

【0033】本発明の第2の表示用駆動装置においては、上記課題を解決するために、双方向シフトレジスタを備える駆動用半導体素子を単体で備え、スタートパルス信号の伝搬方向の切り換えが可能な表示用駆動装置に

8

において、外部より供給されるスタートパルス信号の供給ラインが1本のみであり、該1本のスタートパルス信号の供給ラインが2系統に分岐されて、上記駆動用半導体素子両側のスタートパルス信号の入力端子にそれぞれ接続され、上記駆動用半導体素子内部で2系統のスタートパルス信号の一方を導通、他方を非導通とすることを特徴としている。

【0034】これは、駆動用半導体素子を単体で備える1個使いの表示用駆動装置であるが、この場合も、このようなスタートパルス信号の供給ラインを1本化したことで、先の駆動用半導体素子を複数個備えた第1の表示用駆動装置と同じ作用・効果を奏する。

【0035】本発明の第3の表示用駆動装置においては、上記課題を解決するために、双方向シフトレジスタを備えた複数の駆動用半導体素子が縦続接続され、各駆動用半導体素子のスタートパルス信号の入力端子及び出力端子に、外部より与えられる切換信号により入出力の切り換えが可能な入出力バッファが設けられ、スタートパルス信号の伝搬方向の切り換えが可能な表示用駆動装置において、上記データ信号の伝搬方向に対して初段となる駆動用半導体素子のスタートパルス信号の入力端子と、伝搬方向に対して最終段となる駆動用半導体素子のスタートパルス信号の出力端子とが共に接続されて両端子にスタートパルス信号が供給されると共に、最終段となる上記駆動用半導体素子におけるスタートパルス信号の出力端子からの信号出力が阻止されていることを特徴としている。

【0036】これによれば、データ信号の伝搬方向に対して初段となる駆動用半導体素子のスタートパルス信号の入力端子と、最終段となる駆動用半導体素子のスタートパルス信号の出力端子とが共に接続され、これら両端子にスタートパルス信号が供給されている。この場合、単に初段の駆動用半導体素子のスタートパルス信号の入力端子と、最終段の駆動用半導体素子のスタートパルス信号の出力端子とを接続しただけでは、スタートパルス信号同士の衝突が起こるが、ここでは、最終段の駆動用半導体素子のスタートパルス信号の出力端子に設けられた上記入出力バッファからの信号出力が阻止されているので、このような問題がない。

【0037】これにより、上述の第1の表示用駆動装置と同じ、スタートパルス信号の供給ラインを1本化したことによる作用・効果を奏する。

【0038】ところで、最終段となる駆動用半導体素子のスタートパルス信号の出力端子からの信号出力の阻止は、例えば該出力ラインを途中で切断しておくことでも対応可能であるが、その場合は、スタートパルス信号の伝搬方向を変える場合や、ソースドライバ群（駆動用半導体素子群）に対するコントローラの配置位置によって、TCPパターン等を変更する必要がある、コストアップの要因や、液晶モジュールの設計の容易性を阻害す

(6)

9

るといった不具合を伴う。

【0039】そこで、最終段となる駆動用半導体素子のスタートパルス信号の出力端子からの信号出力を阻止する構成としては、該出力端子に設けられた入出力バッファの出力バッファ回路が、該出力端子をハイインピーダンス状態に設定する構成を採用することが好ましい。これによれば、出力バッファ回路の動作状態を、駆動用半導体素子内で、出力バッファ回路に設けた論理ゲートの設定信号として電源電圧を用いて対応できる結果、以下に記載するような点で優れる。

【0040】まずは、これまでの入出力バッファに、設定信号に対応した回路を付加するだけで容易にハイインピーダンス状態を作り出すことができる。この場合の回路素子数の増加は微々たるものであって容易に実現でき、チップ面積の増大にはならない。また、TCPパターンの変更のみで対応可能であるため、同一の駆動用半導体素子を1種類使用するだけでよく、低コストで実現できる。また、電源(VCC, GND)レベルを入力するだけで容易に切り換え可能であり、簡単な構成で実現できる。さらに、内部回路で簡単に実現可能であって外部回路は不要であるため、信頼性及び、製造コストの低減化に優れる。

【0041】本発明の第4の表示用駆動装置は、上記課題を解決するために、双方向シフトレジスタを備えた駆動用半導体素子を単体で備え、該駆動用半導体素子のスタートパルス信号の入力端子及び出力端子に、外部より与えられる切換信号により入出力の切り換えが可能な入出力バッファが設けられ、スタートパルス信号の伝搬方向の切り換えが可能な表示用駆動装置において、上記駆動用半導体素子のスタートパルス信号の入出力用の両端子が接続されてこれら両端子にスタートパルス信号が供給されると共に、上記データの伝搬方向にてスタートパルス信号の出力側となる端子に設けられた上記入出力バッファからの信号出力が阻止されていることを特徴としている。

【0042】これは、駆動用半導体素子を単体で備える1個使いの表示用駆動装置であるが、この場合も、このような構成とすることで、上述の第3の表示用駆動装置と同じ作用・効果を奏する。

【0043】本発明の第5の表示用駆動装置は、上記課題を解決するために、双方向シフトレジスタを備える複数の駆動用半導体素子が縦続接続され、スタートパルス信号の伝搬方向の切り換えが可能な表示用駆動装置において、各駆動用半導体素子にスタートパルス信号用の入力端子と出力端子とが2系統設けられると共に、縦続接続されたこれら駆動用半導体素子群における両端の駆動用半導体素子のスタートパルス信号用の各入力端子に、外部より供給される1本のスタートパルス信号の供給ラインが2系統に分岐されて接続されていることを特徴としている。

10

【0044】これによれば、各駆動用半導体素子にスタートパルス信号の入力端子と出力端子とが2系統設けられており、縦続接続されたこれら駆動用半導体素子群における両端の駆動用半導体素子のスタートパルス信号の各入力端子に、2系統に分岐されたスタートパルス信号の供給ラインが接続されている。

【0045】したがって、上述の第1の表示用駆動装置と同じ、スタートパルス信号の供給ラインを1本化したことによる作用・効果を奏する。

10 【0046】しかも、この構成では、駆動用半導体素子群の両側より入力されるスタートパルス信号の何れか一方を導通させ、伝搬方向最終段となる駆動用半導体素子の出力端子を接続しないことで、第3の表示用駆動装置のように、入出力バッファの動作を制御する必要が一切ない。その結果、入出力バッファの動作を制御するための信号ライン等が不要となり、各駆動用半導体素子を搭載するTCP等の設計が容易になる。

【0047】また、本発明の第6の表示用駆動装置は、上記課題を解決するために、双方向シフトレジスタを備える駆動用半導体素子を単体で備え、スタートパルス信号の伝搬方向の切り換えが可能な表示用駆動装置において、駆動用半導体素子にスタートパルス信号用の入力端子と出力端子とが2系統設けられると共に、該駆動用半導体素子のスタートパルス信号用の各入力端子に、外部より供給される1本のスタートパルス信号の供給ラインが2系統に分岐されて接続されていることを特徴としている。

【0048】これは、駆動用半導体素子を単体で備える1個使いの表示用駆動装置であるが、この場合も、このような構成とすることで、上述の第5の表示用駆動装置と同じ作用・効果を奏する。

【0049】

【発明の実施の形態】〔実施の形態1〕本発明の表示用駆動装置およびそれを用いた液晶モジュールの実施の形態について図1ないし図7に基づいて説明すれば、以下の通りである。なお、以下の説明では表示用駆動装置としてソースドライバ群を例に挙げるが、その特徴点およびそれを用いた液晶モジュールの特徴点をゲートドライバ群に対しても適用可能であることは言うまでもない。

40 【0050】図1に、実施の一形態の液晶モジュールにおける表示用駆動装置のシステム構成を示す。図1に示すように、液晶パネル2には、ソースバスラインの駆動を担う駆動装置として、双方向シフトレジスタを備えるソースドライバLSIからなるn個のソースドライバS…(以下、ソースドライバS群と称する場合もある)がそれぞれTCP1上に搭載された状態で実装されている。

【0051】各ソースドライバSは、それぞれTCP1上に搭載された状態で、プリント基板3に接続された後述するコントローラ4から供給されるスタートパルス信

50

(7)

11

号SPDやクロック信号CKなどの各種信号の入出力端子に対して縦続接続されている。

【0052】各ソースドライバSを搭載したTCP1は、その出力側が液晶パネル2と電気的に接続され、入力側がプリント基板3と電気的に接続されている。これにより、プリント基板3と液晶パネル2とは、ソースドライバS群を介して電気的に接続される。

【0053】ここで、液晶パネル2とTCP1との電気的接続は、TCP1の出力側のアウターリード端子と、液晶パネル2のガラス基板上に設けられた図示しないITO (Indium Tin Oxide : インジウムスズ酸化膜) 配線  
10 である端子とを、例えば、ACF (Anisotropic Conductive Film : 異方性導電膜) を介して熱圧着されることになされている。また、TCP1のプリント基板3との電気的接続は、TCP1の入力側のアウターリード端子とプリント基板3上の配線とを、ACF、或いはハンダ付けにより電気的に接続されている。

【0054】上記構成では、各ソースドライバS間の信号のやり取りや、ソースドライバS群とコントローラ4との間の信号のやり取りは、TCP1上の配線及び  
20 プリント基板3上の配線を通して行われることとなる。

【0055】コントローラ4は、プリント基板3におけるソースドライバS群のソースドライバS (1) 側、或いはソースドライバS (n) 側に配置される。図1の液晶モジュールでは、1番目のソースドライバS (1) 側にコントローラ4が配置されておりソースドライバS (1) より信号が供給される。

【0056】上記コントローラ4は、ソースドライバS群に対して、制御信号及び電源を供給するものであって、映像信号の水平同期信号と同期を取ったスタートパルス信号SPD、クロック信号CK、映像信号Video、  
30 ソースドライバS内の双方向シフトレジスタや出力バッファ等を切り換えてソースドライバS内でのスタートパルス信号SPDの伝搬方向を決める切換信号RL、及び電源VccとGND等を供給するものである。なお、ここでは特に図示してはいないが、コントローラ4は、ゲートドライバ群に対しても同様に制御信号及び電源を供給するようになっている。

【0057】図1において、コントローラ4から供給されるクロック信号CK、映像信号Video、切換信号RL、電源Vcc及びGNDは、プリント基板3上の配線及びTCP1上の配線を通して、ソースドライバS

(1) の入力端子CK1、入力端子Video1、入力端子RL1、電源端子Vcc、電源端子GNDより入力され、ソースドライバS (1) 内のアルミニウム線などからなる内部配線を伝搬して、ソースドライバS (1) の出力端子CK2、出力端子Video2、出力端子RL2、電源端子Vcc、電源端子GNDより出力され、  
40 次段のソースドライバS (2) に同様に入力する。なお、これらの信号供給ラインは、プリント基板3上の配

12

線で共通線として配され、各ソースドライバSに個々に入力する構成でも良い。

【0058】一方、スタートパルス信号SPDの入力であるが、前述の図14に示した従来の液晶モジュールにおいては、コントローラ104からのスタートパルス信号SPDの供給用ラインとして、1番目のソースドライバS (1) の入出力端子SPD1につながるラインと、  
n番目のソースドライバS (n) の入出力端子SPD2につながるラインとの2つのラインが設けられた構成であり、そのため、コントローラ104の複雑化等の前述した問題点を有していた。

【0059】これに対し、図1の液晶モジュールでは、ソースドライバS (1) の入出力端子SPD1と、n番目のソースドライバS (n) の入出力端子SPD2とが、  
プリント基板3上の配線 (各TCP1上の配線をプリント基板3上の配線と併せて利用してもよい) により共に接続されており、コントローラ4からのスタートパルス信号SPDの供給ラインは、この共通ラインへと信号を供給する1ラインのみとなっている。

【0060】そして、新たに、各ソースドライバSにおける入出力端子SPD1と入出力端子SPD2とに設けられた、後述する出力バッファの出力バッファ回路の動作状態を制御するための設定信号を入力するラインとして、例えば第2の電源端子VCC1とGND1とが、  
個々のソースドライバS毎に設けられている。

【0061】これら第2の電源端子VCC1とGND1とから得られる電位レベルを、映像信号を伝搬させたい方向に応じて、各ソースドライバSに設けられた入出力バッファの出力バッファ回路の設定端子に設定信号として  
30 入力することで、スタートパルス信号の伝搬方向を決定する。

【0062】詳細については後述するが、伝搬方向に対して最終段となるソースドライバSを除くソースドライバS…の出力バッファ回路を、従来の出力バッファ回路と同じように動作させ、最終段のソースドライバSのスタートパルス信号SPDの出力側の端子に設けられたバッファ回路のみをハイインピーダンス状態とする。

【0063】図2に、上記ソースドライバS群の中の1つのソースドライバSにおける、入出力端子SPD1に設けられたSPD入出力バッファB1と、入出力端子SPD2に設けられたSPD入出力バッファB2の具体的な回路構成を示す。なお、ソースドライバSは全て同一構成である。

【0064】SPD入出力バッファB1は、インバータ11、NANDゲート12、NORゲート13、pチャンネルMOSFET14、およびnチャンネルMOSFET15からなる入力バッファ回路10と、インバータ21、NANDゲート22、NORゲート23、pチャンネルMOSFET24、およびnチャンネルMOSFET25からなる出力バッファ回路20とからなる。

(8)

13

【0065】入力バッファ回路10において、インバータ11の入力端子は入出力端子SPD1に接続され、その出力端子は、2端子入力のNANDゲート12の一方の入力端子と、2端子入力のNORゲート13の一方の入力端子とに接続されている。

【0066】NANDゲート12の他方の入力端子には切換信号RLが入力され、NORゲート13の他方の入力端子には、図示しないインバータを介することで切換信号／RL（／RLはRLの反転信号）が入力される。

【0067】NANDゲート12の出力端子はpチャンネルMOSFET14のゲートに接続され、NORゲート13の出力端子はnチャンネルMOSFET15のゲートに接続されている。

【0068】また、pチャンネルMOSFET14のドレインは電源端子VCCに接続されて“High”レベルの電位VCCに保持されており、nチャンネルMOSFET15のソースは電源端子GNDに接続されて“Low”レベルの電位GNDに保持されている。

【0069】さらに、pチャンネルMOSFET14のソースはnチャンネルMOSFET15のドレインに接続されており、その接続点は、図示しない双方向シフトレジスタ回路（伝搬回路）の初段のラッチ回路に接続されている。

【0070】出力バッファ回路20において、インバータ21の入力端子は先述の双方向シフトレジスタ回路の初段のラッチ回路に接続され、出力端子は4入力端子のNANDゲート22の一入力端子と、4入力端子のNORゲート23の一入力端子とに接続されている。

【0071】NANDゲート22の残り3つの入力端子には、切換信号／RL、設定信号／SEL1（／SEL1はSEL1の反転信号）、設定信号SEL2が入力される。NORゲート23の残り3つの入力端子には、切換信号RL、設定信号SEL1、設定信号／SEL2（／SEL2はSEL2の反転信号）が入力される。

【0072】NANDゲート22の出力端子はpチャンネルMOSFET24のゲートに接続され、NORゲート23の出力端子はnチャンネルMOSFET25のゲートに接続されている。

【0073】また、pチャンネルMOSFET24のドレインは電源端子VCCに接続されて“High”レベルの電位VCCに保持されており、nチャンネルMOSFET25のソースは電源端子GNDに接続されて“Low”レベルの電位GNDに保持されている。さらに、pチャンネルMOSFET24のソースはnチャンネルMOSFET25のドレインに接続されており、その接続点は入出力端子SPD1に接続されている。

【0074】次に、SPD入出力バッファB2は図中右側の回路で表され、インバータ31、NANDゲート32、NORゲート33、pチャンネルMOSFET34、およびnチャンネルMOSFET35からなる入力

14

バッファ回路30と、インバータ41、NANDゲート42、NORゲート43、pチャンネルMOSFET44、およびnチャンネルMOSFET45からなる出力バッファ回路40とからなる。

【0075】入力バッファ回路30において、インバータ31の入力端子は入出力端子SPD2に接続され、出力端子はNANDゲート32の一方の入力端子とNORゲート33の一方の入力端子とに接続されている。NANDゲート32の他方の入力端子には、図示しないインバータを介することで切換信号／RLが入力され、NORゲート33の他方の入力端子には切換信号RLが入力される。

【0076】NANDゲート32の出力端子はpチャンネルMOSFET34のゲートに接続され、NORゲート33の出力端子はnチャンネルMOSFET35のゲートに接続されている。

【0077】また、pチャンネルMOSFET34のドレインは電源端子VCCに接続されて“High”レベルの電位VCCに保持されており、nチャンネルMOSFET35のソースは電源端子GNDに接続されて“Low”レベルの電位GNDに保持されている。さらに、pチャンネルMOSFET34のソースはnチャンネルMOSFET35のドレインに接続されており、その接続点は前述した双方向シフトレジスタ回路の最終段のラッチ回路に接続されている。

【0078】出力バッファ回路40において、インバータ41の入力端子は先述の双方向シフトレジスタ回路の最終段のラッチ回路に接続され、出力端子は4端子入力のNANDゲート42の一入力端子と、同じく4端子入力のNORゲート43の一入力端子とに接続されている。

【0079】NANDゲート42の残り3つの入力端子には、切換信号RL、設定信号SEL1、設定信号SEL2が入力される。NORゲート43の残り3つの入力端子には、切換信号／RL、設定信号／SEL1、設定信号／SEL2が入力される。

【0080】NANDゲート42の出力端子はpチャンネルMOSFET44のゲートに接続され、NORゲート43の出力端子はnチャンネルMOSFET45のゲートに接続されている。

【0081】また、pチャンネルMOSFET44のドレインは電源端子VCCに接続されて“High”レベルの電位VCCに保持されており、nチャンネルMOSFET45のソースは電源端子GNDに接続されて“Low”レベルの電位GNDに保持されている。さらに、pチャンネルMOSFET44のソースはnチャンネルMOSFET45のドレインに接続されており、その接続点は入出力端子SPD2に接続されている。

【0082】上記構成では、切換信号RLが“High”レベルの場合、SPD入出力バッファB1は、SP

(9)

15

D1に“High”レベルが入ると、入力バッファ回路10のnチャンネルMOSFET15がON状態となり、pチャンネルMOSFET14がハイインピーダンス状態となる。一方、SPD1に“Low”レベルが入ると、nチャンネルMOSFET15がハイインピーダンス状態となりpチャンネルMOSFET14がON状態となる。

【0083】このとき、出力バッファ回路20においては、切換信号RLが“High”レベルのため、インバータ21の出力、及び、設定信号SEL1・SEL2のレベルに関わらず、pチャンネルMOSFET24及びnチャンネルMOSFET25は何れもOFFであり、この結果、ハイインピーダンス状態となる。したがって、SPD入出力バッファB1は、入力バッファ回路10のみ動作し、結果、入力バッファとして動作する。

【0084】一方、SPD入出力バッファB2では、入力バッファ回路30は、インバータ31の入力端子に入る信号レベルに関係なく、切換信号RLが“High”レベルにより、pチャンネルMOSFET34及びnチャンネルMOSFET34は何れもハイインピーダンス状態となる。

【0085】このとき、出力バッファ回路40においては、SPD1に“High”レベルが入ると、双方向シ\*

16

\*フトレジスタを転送して、インバータ41の入力端子に“Low”レベルの入力があり、SPD1に“Low”レベルが入ると、双方向シフトレジスタを転送して、インバータ41の入力端子に“High”レベルの入力となる。ここで、pチャンネルMOSFET44及びnチャンネルMOSFET45は、NANDゲート42、NORゲート43に入る、設定信号SEL1・SEL2により、何れか一方がON状態となり、他方がOFF状態となるか、或いは、両方ともOFF状態となりハイインピーダンス状態となる。したがって、SPD入出力バッファB2は、SPD1信号により何れか一方がON状態となるように設定信号SEL1・SEL2を設定することで、出力バッファとして動作する。

【0086】切換信号RLが“Low”レベルの場合、上記の逆となり、SPD入出力バッファB1は出力バッファとして動作し、SPD入出力バッファB2は入力バッファとして動作する。

【0087】上記の構成のSPD入出力バッファB1・B2における、切換信号RL、設定信号SEL1、設定信号SEL2の論理レベルに対する動作を表1に示す。

【0088】

【表1】

	RL	SEL1	SEL2	SPD1	SPD2
①	H	H	H	入力	出力
②	H	L	H	入力	ハイインピーダンス
③	L	H	H	ハイインピーダンス	入力
④	L	L	H	出力	入力
⑤	H	*1	L	入力	ハイインピーダンス
⑥	L	*1	L	ハイインピーダンス	入力

\*1 SEL1=“H”、“L”どちらの設定でも可能。

【0089】表1より、スタートパルス信号SPDの伝搬方向を、ソースドライバS(1)→ソースドライバS(n)の方向とする場合は、SPD入出力バッファB2の出力バッファ回路40における、切換信号RL、設定信号SEL1、設定信号SEL2の論理レベルは、初段のソースドライバS(1)からソースドライバS(n-1)までは、入出力端子SPD1が『入力』、入出力端子SPD2が『出力』となる表1における①の論理レベルの組合せとし、最終段のn番目のソースドライバS(n)においては、入出力端子SPD1が『入力』、入出力端子SPD2が『ハイインピーダンス』となる、表1における②或いは⑤の論理レベルの組合せとなるように設定すればよい。

【0090】具体的には、コントローラ4からの切換信号RLを“High”レベルとする一方、SPD入出力バッファB2の出力バッファ回路40における設定信号SEL1・SEL2を、初段のソースドライバS(1)からソースドライバS(n-1)までは、入力端子SEL1及びSEL2をVCCラインより引き込んだ第2の電源端子VCC1と接続して、設定信号SEL1及び設

定信号SEL2を“High”レベルとする。そして、最終段のn番目のソースドライバS(n)のみ、入力端子SEL1をGNDラインより引き込んだ第2の電源端子GND1と接続して、設定信号SEL1を“Low”レベルとすると共に、入力端子SEL2を第2の電源端子VCC1と接続して設定信号SEL2は“High”とするか、或いは、入力端子SEL1を第2の電源端子GND1或いは第2のVCC1に接続して設定信号SEL1を“Low”或いは“High”レベルとし、入力端子SEL2を第2の電源端子のGND2と接続して、設定信号SEL2を“Low”レベルとする。

【0091】また、スタートパルス信号SPDの伝搬方向を、ソースドライバS(n)→ソースドライバS

(1)の方向とする場合は、SPD入出力バッファB1の出力バッファ回路20における、切換信号RL、設定信号SEL1、設定信号SEL2の論理レベルは、n番目のソースドライバS(n)からソースドライバS

(2)までは、入出力端子SPD2が『入力』、入出力端子SPD1が『出力』となる表1における④の論理レベルの組合せとし、1番目のソースドライバS(1)に

50

(10)

17

おいては、入出力端子SPD2が『入力』、入出力端子SPD1が『ハインピーダンス』となる、表1における③或いは⑥の論理レベルの組合せとなるように設定すればよい。

【0092】具体的には、コントローラ4からの切換信号RLを“Low”レベルとする一方、SPD入出力バッファB1の出力バッファ回路20における設定信号を、n番目のソースドライバS(n)からソースドライバS(2)までは、入力端子SEL1を第2の電源端子GND1と接続して設定信号SEL1を“Low”レベルとし、入力端子SEL2を第2の電源端子VCC1と接続して設定信号SEL2を“High”レベルとする。そして、最終段となる1番目のソースドライバS

(1)のみ、入力端子SEL1・SEL2共に第2の電源端子VCC1と接続して設定信号SEL1・SEL2を“High”レベルとするか、或いは、入力端子SEL1を第2の電源端子GND1或いは第2のVCC1に接続して設定信号SEL1を“Low”或いは“High”レベルとし、入力端子SEL2を第2の電源端子のGND2と接続して設定信号SEL2を“Low”レベルとする。

【0093】図3(a)(b)に、図1の液晶モジュールの構成を採用した、複数のソースドライバS…を備えた表示用駆動装置における、スタートパルス信号SPDの伝搬方向に対する切換信号RL、設定信号SEL1・SEL2の供給例を示す。図3(a)(b)において、OS1～OSmは、各ソースドライバSから液晶パネル2への出力端子である(図4(a)(b)、図6(a)(b)、図7(a)(b)においても同じ)。

【0094】図3(a)では、スタートパルス信号SPDが、ソースドライバS(1)へ入出力端子SPD1より入力して、ソースドライバS(1)→ソースドライバS(n)へと伝搬される。一方、同図(b)では、スタートパルス信号SPDは、n番目のソースドライバS(n)の入出力端子SPD2より入力して、ソースドライバS(n)→ソースドライバS(1)へと伝搬される。

【0095】また、図4(a)(b)に、ソースドライバSを1個使用する表示用駆動装置における、スタートパルス信号SPDの伝搬方向に対する切換信号RL、設定信号SEL1・SEL2の供給例を示す。図4(a)では、スタートパルス信号SPDが、ソースドライバSへ入出力端子SPD1より入力して、その内部を伝搬される。一方、同図(b)では、スタートパルス信号SPDは、ソースドライバSの入出力端子SPD2より入力して内部を伝搬される。

【0096】さらに、図5、図6には、前述の図17、図16に対応する、液晶パネル1の下側にソースドライバS…を実装した液晶モジュールにおいて、本発明の構成を採用した他の実施の形態の液晶モジュールの構成、

18

及び複数のソースドライバS…を備えた表示用駆動装置における、スタートパルス信号SPDの伝搬方向に対する切換信号RL、設定信号SEL1・SEL2の供給例を示す。

【0097】図6(a)では、スタートパルス信号SPDが、ソースドライバS(1)の入出力端子SPD2より入力して、ソースドライバS(1)→ソースドライバS(n)へと伝搬される。同図(b)では、スタートパルス信号SPDは、ソースドライバS(n)の入出力端子SPD1より入力して、ソースドライバS(n)→ソースドライバS(1)へと伝搬される。

【0098】また、図7(a)(b)に、液晶パネル1の下側にソースドライバSを1個使用する表示用駆動装置における、スタートパルス信号SPDの伝搬方向に対する切換信号RL、設定信号SEL1・SEL2の供給例を示す。

【0099】尚、上記した図1、図5では、SPD2側の及びSPD1側の接続ラインが、TCP1上の配線やプリント基板3上の配線を介して直接、コントローラ4の端子まで接続された構成で示しているが、各ソースドライバS内の内部配線を利用してソースドライバS間の接続線を介して信号を伝搬させる構成でも良い。

【0100】また、プリント基板3を廃して、各ソースドライバS間の信号のやり取りや、ソースドライバS群とコントローラ4との信号のやり取りを、TCP1上の配線と液晶パネル2のガラス基板上の配線(例えばITO線)を介して行われる構成としてもよい。

【0101】また、各ソースドライバSを構成するLSI(コントローラ4のLSIを含んでもよい)を、チップオンガラス(COG)として実装して、液晶パネル2のガラス基板上の配線(例えばITO線)を介して信号のやり取りを行う構成でもよい。

【0102】このように、本発明にかかる上記した構成を採用することで、コントローラ4側にアナログスイッチ等の手段を設けて、導通・非導通の状態にするような切り換え動作を行うことなく、スタートパルス信号SPDの伝搬方向を切り換え可能な表示用駆動装置を実現できるので、従来よりもコントローラ側の回路数やコントローラ側に備えられる半導体装置の端子数を削減し、液晶モジュールのさらなる小型化、低コスト化が図れる。

【0103】しかも、コントローラ4とソースドライバS群との間の配線が1ラインで済むので、2本の配線が施されていた従来の構成に比べて、液晶モジュールの小型化が図れることはもちろん、小型化のために狭ピッチ化した配線パターンを広げてノイズによる影響も低減でき、その上、コントローラ4からの配線が1本で済むことで、コントローラとソースドライバS群との配置関係による配線変更もなく、液晶モジュールの設計が容易となる。

【0104】さらに、上記のように、本実施の形態の液



(11)

19

晶モジュールにおいては、SPD入出力バッファB2・B1の各出力バッファ回路40・20が、出力端子(SPD2・SPD1)をハイインピーダンス状態に設定することで、出力端子(SPD2・SPD1)からのスタートパルス信号SPDの出力を阻止する構成を採用しており、出力バッファ回路40・20の動作状態を、ソースドライバS内で、出力バッファ回路40・20に設けた論理ゲートの設定信号として電源電圧を用いることで対応している。

【0105】その結果、これまで使用されていた入出力バッファに、設定信号SEL1・SEL2に対応した回路を付加するだけで容易にハイインピーダンス状態を作り出すことができる。この場合の回路素子数の増加は微々たるものであり、容易に実現でき、チップ面積の増大にもならない。また、TCP1のパターンの変更のみで対応可能であるため、同一の駆動用半導体素子を1種類使用するだけでよく、低コストで実現できる。さらに、電源(VCC、GND)レベルを入力するだけで容易に切り換え可能であり、簡単な構成で実現できる上、内部回路で簡単に実現可能であって外部回路は不要であるため、信頼性に優れ、かつ、製造コストの低減化にも優れる。

【0106】〔実施の形態2〕本発明に係る実施のその他の形態について、図8ないし図13に基づいて説明すれば、以下の通りである。なお、説明の便宜上、実施の形態1の図面に示した構成要素と同一の機能を有する構成要素については、同一の符号を付し、その説明を省略する。また、ここでも、表示用駆動装置としてソースドライバ群を例に挙げるが、その特徴点およびそれを用いた液晶モジュールの特徴点をゲートドライバ群に対して

【0107】本実施の形態の液晶モジュールにおける表示用駆動装置のシステム構成を図8に示す。図8に示すシステム構成は、コントローラ4より出力される1本のスタートパルス信号SPDが2系統に分岐されて、縦続接続されたソースドライバS群の両端のソースドライバS(1)とソースドライバS(n)の各スタートパルス信号SPD用の端子に供給される点で、実施の形態1で説明したシステム構成(図1参照)と同じである。異なる点は、各ソースドライバSにおけるスタートパルス信号SPD用の端子部分にある。

【0108】実施の形態1の場合、ソースドライバ群を構成する各ソースドライバSには、スタートパルス信号SPD用の端子として、入出力端子SPD1・SPD2が備えられ、ソースドライバS群の両端のソースドライバSの入出力端子SPD1・SPD2に、2系統に分岐したスタートパルス信号SPDを供給していた。

【0109】2系統に分岐したスタートパルス信号SPDの選択(導通/非導通)は、データ信号の伝搬方向に応じて、入出力端子SPD1・SPD2のうち何れか一

20

方が入力端子として機能し、他方が出力端子として機能するように、入出力端子SPD1・SPD2に設けたSPD入出力バッファB1・B2の動作を制御することで行っていた。その動作制御には、双方向シフトレジスタの伝搬方向を切り換える切換信号RLに加えて、新たに2種類の設定信号SEL1・SEL2を用いていた。

【0110】これに対して、本実施の形態の場合、ソースドライバ群を構成する各ソースドライバSには、スタートパルス信号SPD用の端子として、伝搬方向両側に入力端子と出力端子とが1個ずつ対で備えられている。即ち、各ソースドライバSには、スタートパルス信号SPD用の入力端子と出力端子とが2系統備えられており、ソースドライバS群の両端のソースドライバS(1)とソースドライバS(n)の入力端子SPD①・SPD④に、2系統に分岐したスタートパルス信号SPDを供給する構成である。

【0111】これによれば、動作を制御する入出力バッファを用いる必要がないため、入出力バッファの動作を制御するための上記した設定信号SEL1・SEL2を必要とせず、ソースドライバSを搭載しているTCP1上のこれらの設定信号SEL1・SEL2用のパターンが不要となり、簡素化を図れ、TCP1の設計が容易になる。

【0112】以下、本実施の形態の液晶モジュールにおける表示用駆動装置のシステム構成について詳細に説明する。

【0113】図8のシステム構成においても、図1のシステム構成と同様に、ソースドライバS群は縦続接続されており、コントローラ4から供給される、クロック信号CK、映像信号Video、切換信号RL、及び電源VccとGND等が、プリント基板3上の配線及びTCP1上の配線を通して、ソースドライバS(1)の入力端子CK1、入力端子Video1、入力端子RL1、電源端子Vcc、電源端子GNDより入力され、ソースドライバS(1)内のアルミニウム線などからなる内部配線を伝搬して、ソースドライバS(1)の出力端子CK2、出力端子Video2、出力端子RL2、電源端子Vcc、電源端子GNDより出力され、次段のソースドライバS(2)に同様に入力する。なお、実施の形態1と同様に、これらの信号供給ラインは、プリント基板3上の配線で共通線として配され、各ソースドライバSに個々に入力する構成でも良い。

【0114】一方、コントローラ4より供給されるスタートパルス信号SPDは2系統に分岐され、縦続接続されたソースドライバS群の両端に位置する1番目のソースドライバS(1)の入力端子SPD①と、n番目のソースドライバS(n)の入力端子SPD④との両方に、プリント基板3上及びTCP1上の配線を通じて供給される。

【0115】図9に、上記ソースドライバS群の中の1

50

(12)

21

つのソースドライバSにおける、4つのスタートパルス信号SPD用の端子SPD①～SPD④に係わる回路ブロックを示す。なお、ソースドライバS群の各ソースドライバSは全て同一構成である。

【0116】この図からわかるように、ソースドライバS内部に備えられた双方向シフトレジスタ60は、入力端子SPD①から出力端子SPD②に伝搬される第1系統と、入力端子SPD④から出力端子SPD③に伝搬される第2系統とから成り立っている。

【0117】入力端子SPD①・SPD④には、SPD 10 入力バッファB11・B14がそれぞれ設けられ、出力端子SPD②・SPD③には、出力バッファB12・B13がそれぞれ設けられている。クロック信号CKは、双方向シフトレジスタ60に、入力端子CKに設けられたCK入力バッファB20を介して入力され、出力端子CK2に設けられたCK出力バッファB21を介して出力される。また、切換信号RLは、双方向シフトレジスタ60内にインバータを介して、そのまま及び反転入力される。

【0118】このソースドライバSにおいて、入力端子 SPD①から入力したスタートパルス信号SPDは、入力バッファB11を介して双方向シフトレジスタ60に入り、図において左から右に内部を伝搬され、SPD出力バッファB12を介して出力端子SPD②より出力される(第1系統)。

【0119】また、入力端子SPD④から入力したスタートパルス信号SPDは、入力バッファB14を介して双方向シフトレジスタ60に入り、図において右から左に内部を伝搬され、SPD出力バッファB13を介して出力端子SPD③より出力される(第2系統)。

【0120】図8のシステム構成では、このような図9に示すソースドライバSをn個縦続接続している。即ち、1番目のソースドライバS(1)の出力端子SPD②と、2番目のソースドライバ(2)の入力端子SPD①とが接続され、2番目のソースドライバS(2)の出力端子SPD③と、1番目のソースドライバ(1)の入力端子SPD④とが接続されている。同様に、n番目のソースドライバS(n)まで接続されている。

【0121】そして、ソースドライバS群の両端となる1番目のソースドライバS(1)の入力端子SPD① 40 と、n番目のソースドライバS(n)の入力端子SPD④とに、スタートパルス信号SPDが供給されている。

【0122】このような縦続接続されたソースドライバ群に入力される2系統のスタートパルス信号SPDのうち、いずれの系統を選択するかは、双方向シフトレジスタの転送方向を切り換える切換信号RLにて、一方が導通、一方が非導通とされることで実現される。

【0123】図10に、上記2系統の双方向シフトレジスタ60の詳細な回路図を示す。ここに示す双方向シフトレジスタ60の回路構成は既知であるので、その詳細

22

な説明は省略する。

【0124】このような双方向シフトレジスタ60において、切換信号RLが“High”レベルのとき、入力端子SPD④から入力された信号が、クロック信号CKの立ち上がり同期を取って伝搬され、出力端子SPD③に出力される。一方、切換信号RLが“Low”レベルのときは、逆に入力端子SPD①から入力された信号が、クロック信号CKの立ち上がり同期を取って伝搬され、出力端子SPD②に出力される。

【0125】図11(a)に、図8のシステム構成において、切換信号RLを“Low”レベルとしたときの、スタートパルス信号SPDの伝搬方向を示す。切換信号RLを“Low”レベルとすることで、コントローラ4からのスタートパルス信号SPDは、1番目のソースドライバS(1)の入力端子SPD①から入力され、内部の双方向シフトレジスタ60を転送されて出力端子SPD②から出力され、次段のソースドライバS(2)の入力端子SPD①に入力する。以降、順次同様にして、伝搬されたスタートパルス信号SPDは伝搬方向の最終段となるn番目のソースドライバS(n)の出力端子SPD②まで到達する。この最終段となるn番目のソースドライバS(n)の出力端子SPD②は、何にも接続されていない。

【0126】図11(b)は、同図(a)と比較して、液晶パネル2に対するソースドライバS群の搭載場所の違い(液晶パネル2の上側とするか下側とするかの違い)があるか、もしくは液晶パネル2への搭載場所は同じで、コントローラ4の配置位置が異なる場合である。

【0127】この場合も、切換信号RLは同じく“Low” 30 レベルであり、スタートパルス信号SPDは、n番目のソースドライバS(n)の入力端子SPD①から入力され、内部の双方向シフトレジスタ60を転送されて出力端子SPD②から出力され、次段のソースドライバS(n-1)の入力端子SPD①に入力する。以降、順次同様にして、伝搬されたスタートパルス信号SPDは伝搬方向の最終段となる1番目のソースドライバS(1)の出力端子SPD②まで到達する。この最終段となる1番目のソースドライバS(1)の出力端子SPD②は、何にも接続されていない。

【0128】図12(a)(b)は、切換信号RLを“High”レベルとし、双方向シフトレジスタ60のシフト方向を図11(a)(b)とは逆に行っている場合である。

【0129】図12(a)では、スタートパルス信号SPDは、n番目のソースドライバS(n)の入力端子SPD④から入力され、内部の双方向シフトレジスタ60を転送されて出力端子SPD③から出力され、次段のソースドライバS(n-1)の入力端子SPD④に入力する。以降、順次同様にして、伝搬されたスタートパルス信号SPDは伝搬方向の最終段となる1番目のソースド

(13)

23

ライバS (1) の出力端子SPD③まで到達する。この最終段となる1番目のソースドライバS (1) の出力端子SPD③は、何にも接続されていない。

【0130】図12 (b) は、同図 (a) と比較して、液晶パネル2に対するソースドライバS群の搭載場所の違い (液晶パネル2の上側とするか下側とするかの違い) があるか、もしくは液晶パネル2への搭載場所は同じで、コントローラ4の配置位置が異なる場合である。

【0131】図12 (b) では、スタートパルス信号SPDは、1番目のソースドライバS (1) の入力端子SPD④から入力され、内部の双方向シフトレジスタ60を転送されて出力端子SPD③から出力され、次段のソースドライバS (2) の入力端子SPD④に入力する。以降、順次同様にして、伝搬されたスタートパルス信号SPDは伝搬方向の最終段となるn番目のソースドライバS (n) の出力端子SPD③まで到達する。この最終段となるn番目のソースドライバS (n) の出力端子SPD③は、何にも接続されていない。

【0132】また、図13 (a) (b) に、図9に示したソースドライバSを1個使用した表示用駆動装置の例を示す。液晶パネル2へのソースドライバSの搭載場所及びコントローラの配置の違いによる使い分けを示している。切換信号RLが“Low”レベルであれば、スタートパルス信号SPDは入力端子SPD①より入力されて伝搬され、切換信号RLが“High”レベルであれば、スタートパルス信号SPDは入力端子SPD④より入力される。図13 (a) (b) における出力端子SPD②・SPD③は、何れにも接続されていない。

【0133】前述したように、このような構成とすることで、実施の形態1に比べて、設定信号SEL1・SEL2が不要となるため、ソースドライバSを搭載しているTCP1上のこれらの選択信号SEL1・SEL2用のパターンが不要となり、簡素化が図れ、TCP1の設計が容易になる。

【0134】なお、コントローラ4からソースドライバS群へのスタートパルス信号SPDの供給ラインを1本化し、これを分岐して縦続接続された両端のソースドライバSの入力端子に供給する構成による効果については、実施の形態1でのべたのと同じである。

【0135】また、上述した実施の形態1、2において、表示用駆動装置の駆動用半導体素子としてソースドライバSの例を挙げた。したがって、この場合のスタートパルス信号SPDは、液晶パネル2に表示を行うための水平同期信号、もしくは、水平同期信号から作られた信号である。

【0136】一方、前述したように、同じように双方向シフトレジスタを内蔵しスタートパルス信号SPDを転送するゲートドライバにも本発明は適用できる。この場合のコントローラ4より供給されるスタートパルス信号SPDは、液晶パネル2に表示を行うための垂直同期信

24

号、もしくは、垂直同期信号から作られた信号となる。

【0137】

【発明の効果】本発明の第1の表示用駆動装置においては、以上のように、外部より供給されるスタートパルス信号の供給ラインが1本のみであり、該1本のスタートパルス信号の供給ラインが2系統に分岐されて、縦続接続された駆動用半導体素子群における両端の駆動用半導体素子のスタートパルス信号の入力端子にそれぞれ接続され、駆動用半導体素子群内部で2系統のスタートパルス信号の一方を導通、他方を非導通とする構成である。

【0138】これにより、従来のように、駆動用半導体素子群へ制御信号等を入力するコントローラ側にアナログスイッチ等の手段を設けて、導通・非導通の状態にするような切り換え動作を行うことなく、スタートパルス信号の伝搬方向を切り換え可能な表示用駆動装置を実現できる。

【0139】その結果、データ信号の伝搬方向に応じてスタートパルス信号の伝搬方向を設定することで、1種類の駆動用半導体素子で種々の配置に対応できて、駆動用半導体素子のコスト低減が可能といった従来と同じ効果に加えて、従来よりもコントローラ側の回路数やコントローラ側に備えられる半導体装置の端子数を削減し、液晶モジュールのさらなる小型化、低コスト化が図れる。しかも、コントローラと駆動用半導体素子群との間の配線が1ラインで済むので、2本の配線が施されていた従来の構成に比べて、液晶モジュールの小型化が図れることはもちろん、小型化のために狭ピッチ化した配線パターンを広げてノイズによる影響も低減でき、その上、コントローラからの配線が1本で済むことで、コントローラと駆動用半導体素子群との配置関係による配線変更もなく、モジュールの設計が容易となる。

【0140】本発明の第2の表示用駆動装置においては、以上のように、外部より供給されるスタートパルス信号の供給ラインが1本のみであり、該1本のスタートパルス信号の供給ラインが2系統に分岐されて、上記駆動用半導体素子両側のスタートパルス信号の入力端子にそれぞれ接続され、上記駆動用半導体素子内部で2系統のスタートパルス信号の一方を導通、他方を非導通とする構成である。

【0141】これは、駆動用半導体素子を単体で備える1個使いの表示用駆動装置であるが、この場合も、このようなスタートパルス信号の供給ラインを1本化したことで、先の駆動用半導体素子を複数個備えた第1の表示用駆動装置と同じ効果を奏する。

【0142】本発明の第3の表示用駆動装置においては、以上のように、上記データ信号の伝搬方向に対して初段となる駆動用半導体素子のスタートパルス信号の入力端子と、伝搬方向に対して最終段となる駆動用半導体素子のスタートパルス信号の出力端子とが共に接続されて両端子にスタートパルス信号が供給されると共に、最

(14)

25

終段となる上記駆動用半導体素子におけるスタートパルス信号の出力端子からの信号出力が阻止されている構成である。

【0143】これにより、上述の第1の表示用駆動装置と同じ、スタートパルス信号の供給ラインを1本化したことによる効果を奏する。

【0144】また、この第3の表示用駆動装置においては、最終段となる駆動用半導体素子のスタートパルス信号の出力端子からの信号出力を阻止する構成として、該出力端子に設けられた入出力バッファの出力バッファ回路が、該出力端子をハイインピーダンス状態に設定する構成を採用することが好ましく、これによれば、出力バッファ回路の動作状態を、駆動用半導体素子内で、出力バッファ回路に設けた論理ゲートの設定信号として電源電圧を用いて対応できる結果、以下に記載するような効果を併せて奏する。

【0145】まずは、これまでの入出力バッファに、設定信号に対応した回路を付加するだけで容易にハイインピーダンス状態を作り出すことができる。これに伴う回路素子数の増加は微々たるものであって容易に実現でき、チップ面積の増大にはならない。また、TCPパターンの変更のみで対応可能であるため、同一の駆動用半導体素子を1種類使用するだけでよく、低コストで実現できる。また、電源(VCC, GND)レベルを入力するだけで容易に切り換え可能であり、簡単な構成で実現できる。さらに、内部回路で簡単に実現可能であって外部回路は不要であるため、信頼性及び、製造コストの低減化に優れる。

【0146】本発明の第4の表示用駆動装置は、以上のように、上記駆動用半導体素子のスタートパルス信号の入出力用の両端子が接続されてこれら両端子にスタートパルス信号が供給されると共に、上記データの伝搬方向にてスタートパルス信号の出力側となる端子に設けられた上記入出力バッファからの信号出力が阻止されている構成である。

【0147】これは、駆動用半導体素子を単体で備える1個使いの表示用駆動装置であるが、この場合も、このような構成とすることで、上述の第3の表示用駆動装置と同じ効果を奏する。

【0148】本発明の第5の表示用駆動装置は、以上のように、各駆動用半導体素子にスタートパルス信号用の入力端子と出力端子とが2系統設けられると共に、縦続接続されたこれら駆動用半導体素子群における両端の駆動用半導体素子のスタートパルス信号用の各入力端子に、外部より供給される1本のスタートパルス信号の供給ラインが2系統に分岐されて接続されている構成である。

【0149】これにより、上述の第1の表示用駆動装置と同じ、スタートパルス信号の供給ラインを1本化したことによる効果を奏する。しかも、この構成では、駆動

26

用半導体素子群の両側より入力されるスタートパルス信号の何れか一方を導通させ、伝搬方向最終段となる駆動用半導体素子の出力端子を接続しないことで、第3の表示用駆動装置のように、入出力バッファの動作を制御する必要が一切ない。その結果、入出力バッファの動作を制御するための信号ライン等が不要となり、各駆動用半導体素子を搭載するTCP等の設計が容易になるという効果を併せて奏する。

【0150】本発明の第6の表示用駆動装置は、以上のように、駆動用半導体素子にスタートパルス信号用の入力端子と出力端子とが2系統設けられると共に、該駆動用半導体素子のスタートパルス信号用の各入力端子に、外部より供給される1本のスタートパルス信号の供給ラインが2系統に分岐されて接続されている構成である。

【0151】これは、駆動用半導体素子を単体で備える1個使いの表示用駆動装置であるが、この場合も、このような構成とすることで、上述の第5の表示用駆動装置と同じ効果を奏する。

【図面の簡単な説明】

【図1】本発明の実施の一形態を示すもので、複数のソースドライバを用いた液晶モジュールの構成を示す平面図である。

【図2】図1の液晶モジュールにおける各ソースドライバのSPD入出力バッファの構成を示す回路図である。

【図3】(a)(b)共に、図1の液晶モジュールにおけるスタートパルス信号の信号供給例を示すブロック図である。

【図4】(a)(b)共に、本発明の実施の他の形態を示すもので、1個のソースドライバを用いた液晶モジュールにおけるスタートパルス信号の信号供給例を示すブロック図である。

【図5】本発明の実施の他の形態を示すもので、複数のソースドライバを用いた液晶モジュールの構成を示す平面図である。

【図6】(a)(b)共に、図5の液晶モジュールのソースドライバ群におけるスタートパルス信号の信号供給例を示すブロック図である。

【図7】(a)(b)共に、本発明の実施の他の形態を示すもので、1個のソースドライバを用いた液晶モジュールにおけるスタートパルス信号の信号供給例を示すブロック図である。

【図8】本発明の実施のその他の形態を示すもので、複数のソースドライバを用いた液晶モジュールの構成を示す平面図である。

【図9】図8に示す各ソースドライバにおける双方向シフトレジスタ周囲の回路構成を示す回路ブロック図である。

【図10】図9に示す双方向シフトレジスタの回路構成を詳細に示す回路ブロック図である。

【図11】(a)(b)共に、ソースドライバ複数使いに

50

(15)

27

よるスタートパルス信号の流通経路を示すブロック図である。

【図12】(a)(b)共に、ソースドライバ複数使いによるスタートパルス信号の流通経路を示すブロック図である。

【図13】(a)(b)共に、ソースドライバ単数使いによるスタートパルス信号の流通経路を示すブロック図である。

【図14】従来の液晶モジュールの構成を示す平面図である。

【図15】(a)(b)共に、図14の液晶モジュールにおけるスタートパルス信号の信号供給例を示すブロック図である。

【図16】(a)(b)共に、図17の液晶モジュールにおけるスタートパルス信号の信号供給例を示すブロック図である。

【図17】従来の液晶モジュールの別の構成を示す平面図である。

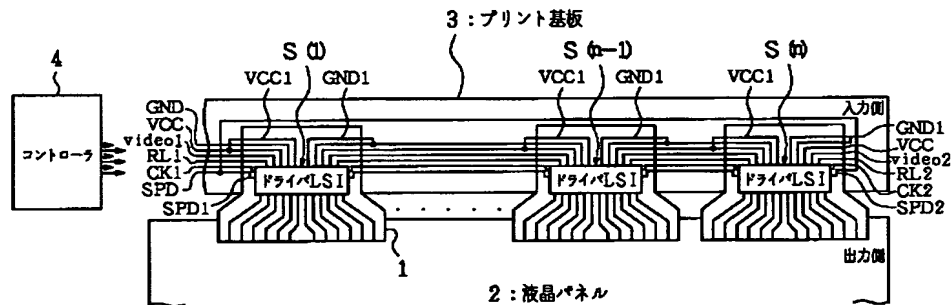
【符号の説明】

- 1 TCP  
2 液晶パネル

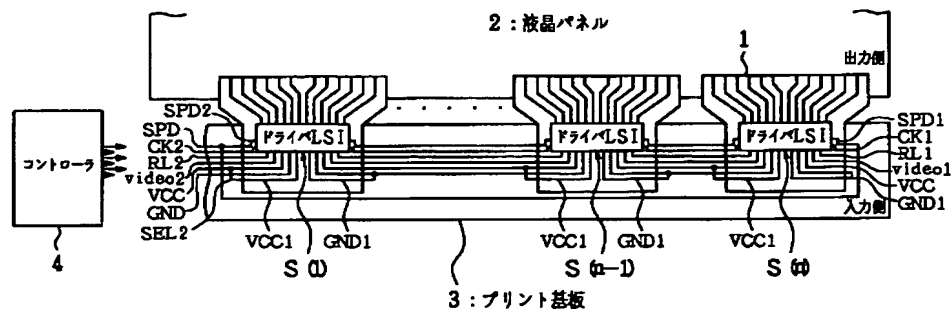
28

- 3 プリント基板  
4 コントローラ  
20 出力バッファ回路  
40 出力バッファ回路  
B1 SPD入出力バッファ(入出力バッファ)  
B2 SPD入出力バッファ(入出力バッファ)  
GND 電源端子  
GND1 第2の電源端子  
RL 切換信号  
10 S ソースドライバ(駆動用半導体素子)  
SEL1 設定信号  
SEL2 設定信号  
SPD1 入出力端子  
SPD2 入出力端子  
SPD スタートパルス信号  
VCC 電源端子  
VCC1 第2の電源端子  
SPD① 入力端子  
SPD② 出力端子  
20 SPD③ 出力端子  
SPD④ 入力端子

【図1】

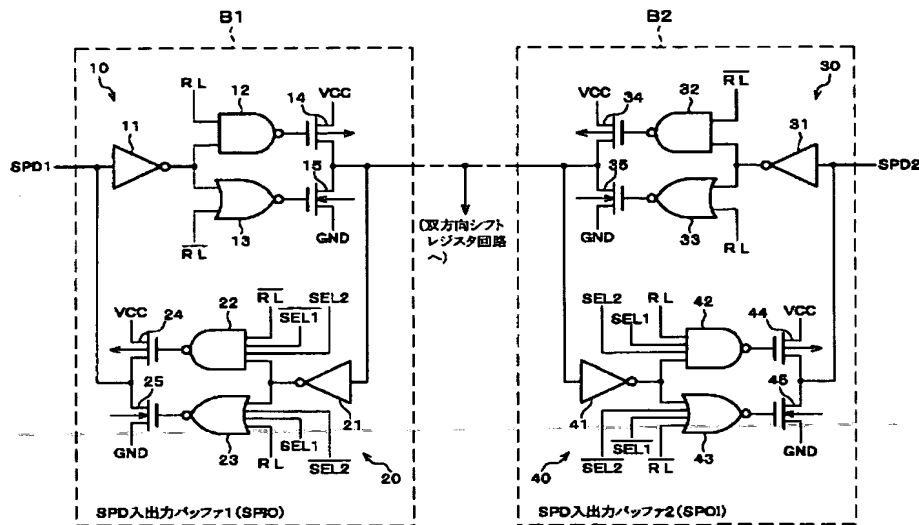


【図5】



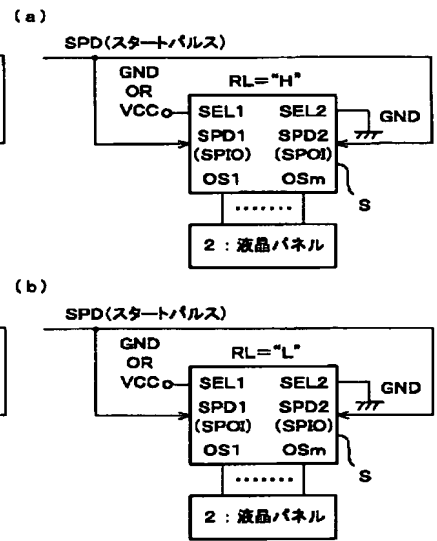
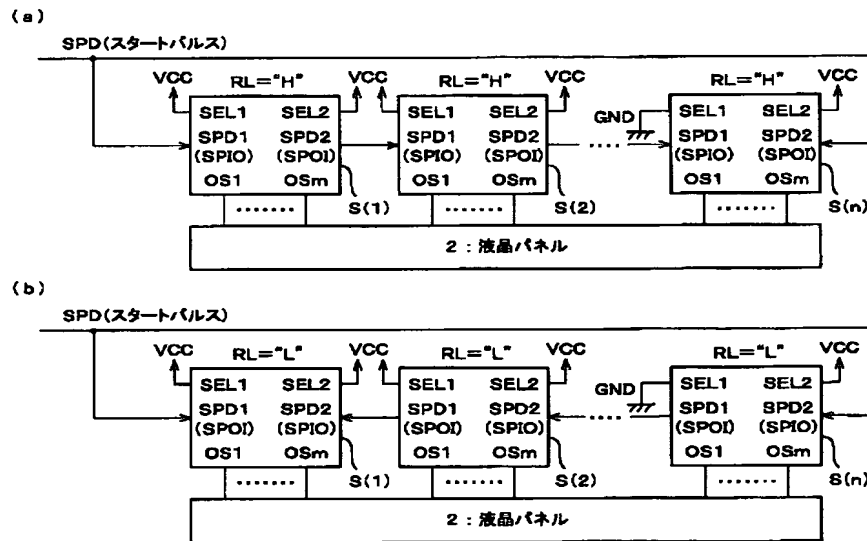
(16)

【図2】

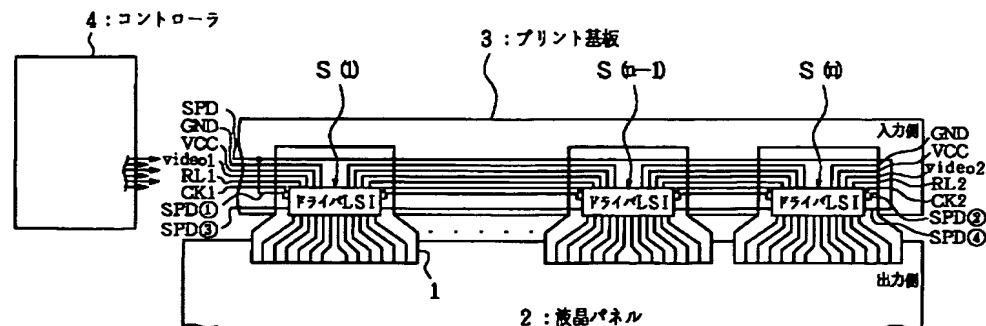


【図3】

【図4】

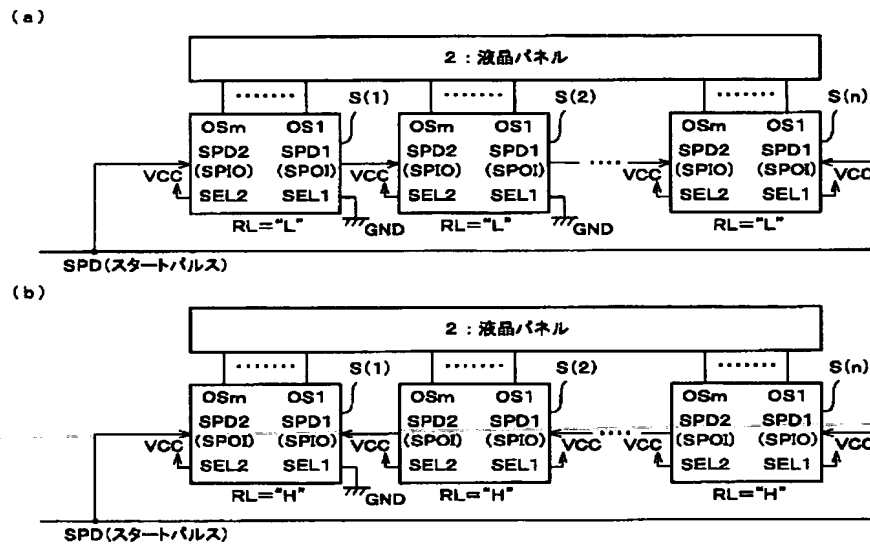


【図8】

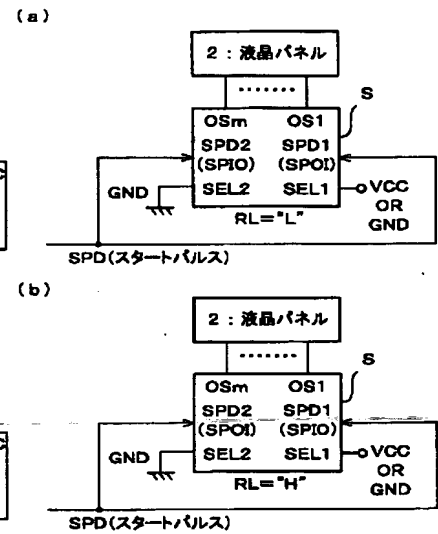


(17)

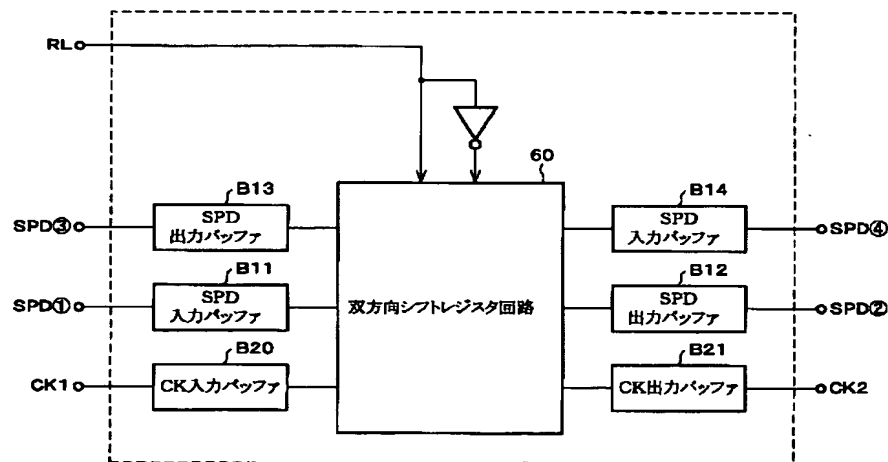
【図 6】



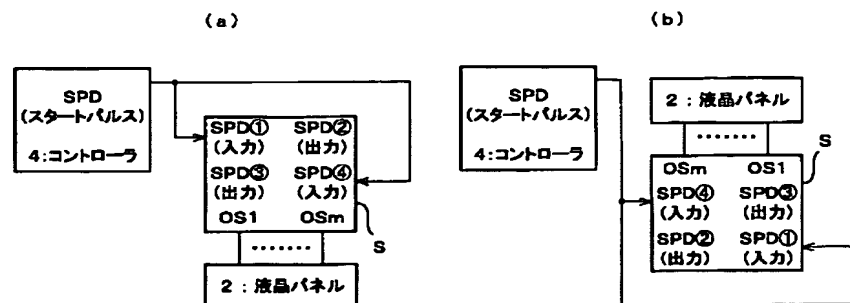
【図 7】



【図 9】

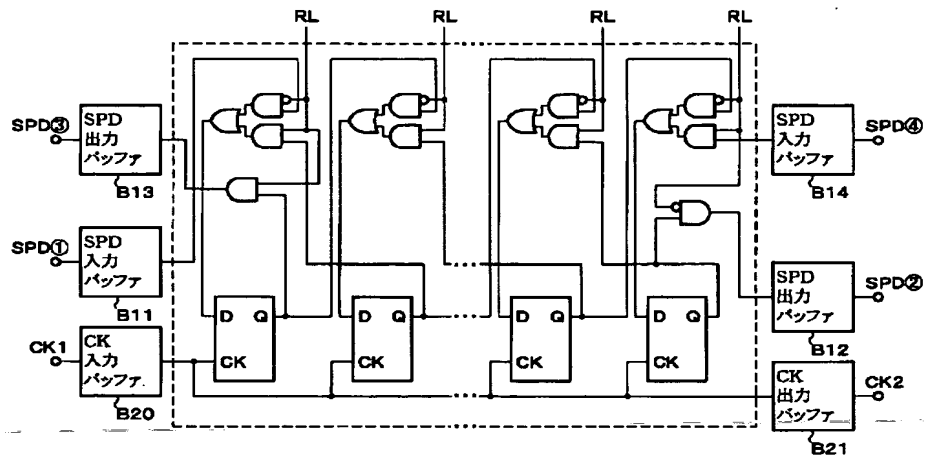


【図 13】

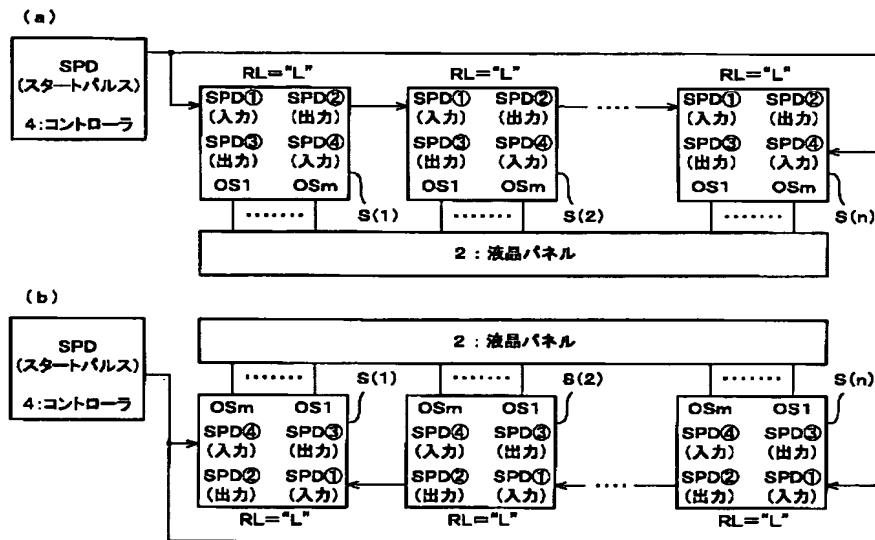


(18)

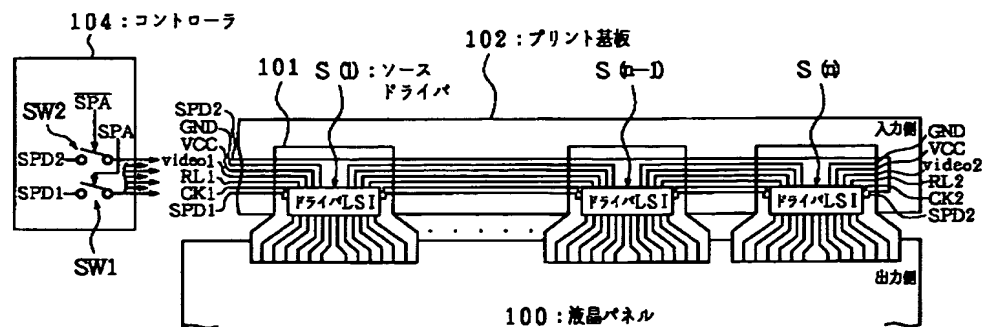
【図10】



【図11】



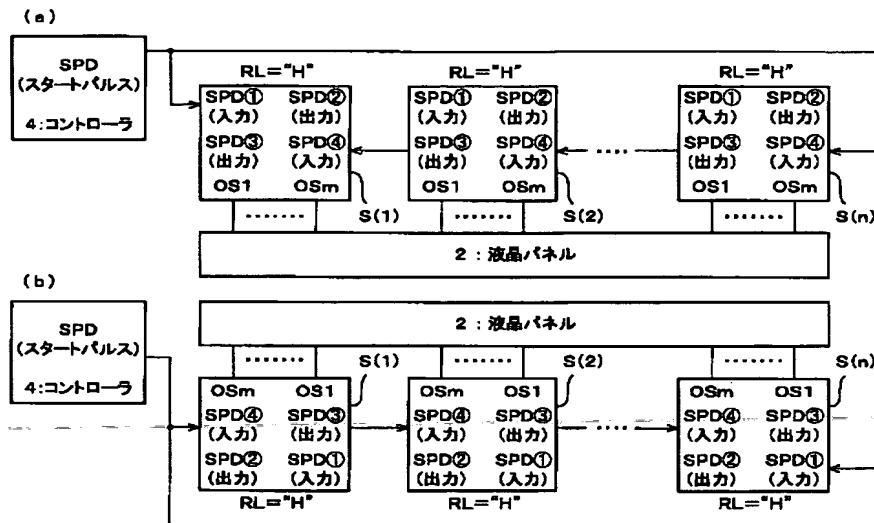
【図14】



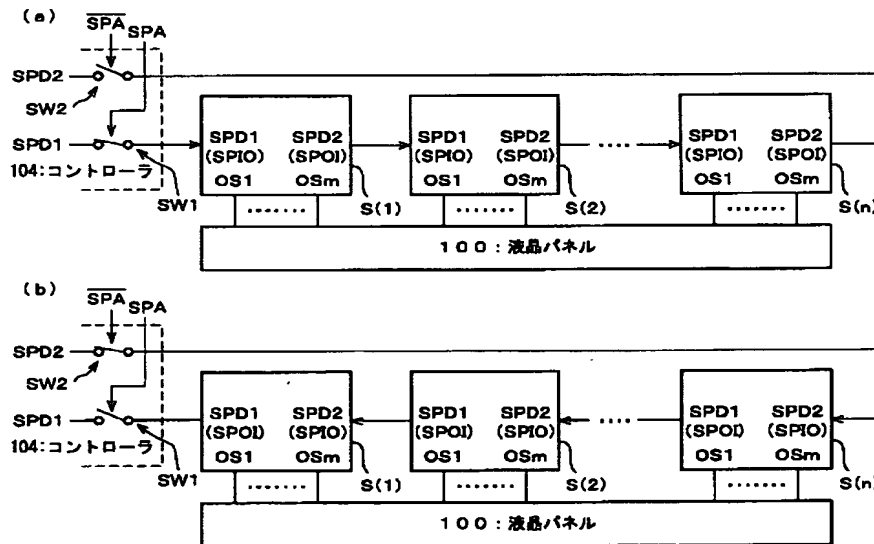


(19)

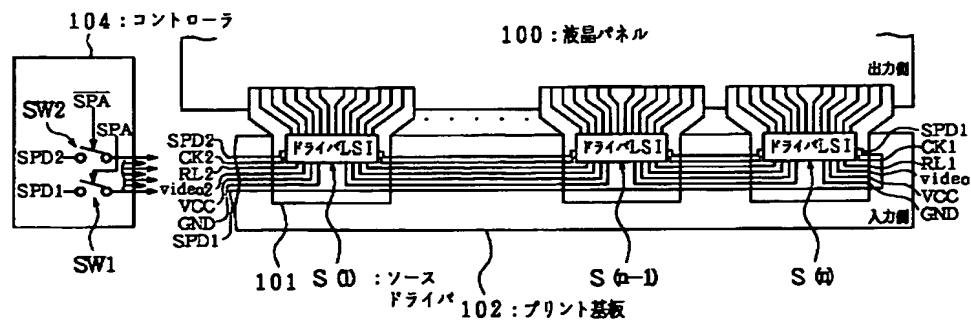
【図12】



【図15】

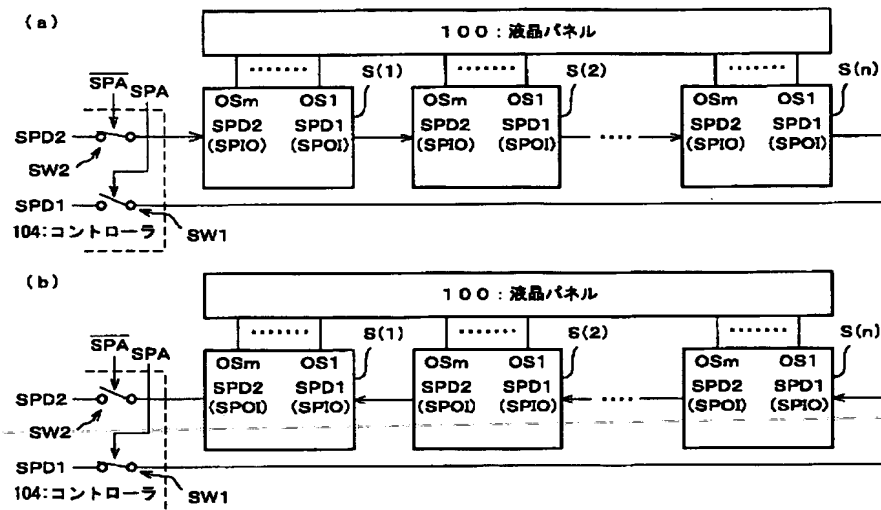


【図17】



(20)

【図16】



フロントページの続き

Fターム(参考) 2H093 NA16 NA31 NA43 NA80 NC13  
 NC15 NC16 NC22 NC23 NC26  
 NC28 NC34 NC90 ND06 ND10  
 ND34 NE07  
 5C006 AC24 AF71 BB11 BC11 BF03  
 FA41 FA51  
 5C080 AA10 BB05 DD22 DD27 EE26  
 FF12 GG12 JJ02 JJ03 JJ06